

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058555  
 (43)Date of publication of application : 25.02.2000

---

(51)Int.CI. H01L 21/331  
 H01L 29/73  
 H01L 29/165

---

(21)Application number : 10-229127 (71)Applicant : NEC CORP  
 (22)Date of filing : 13.08.1998 (72)Inventor : SATO FUMIHIKO

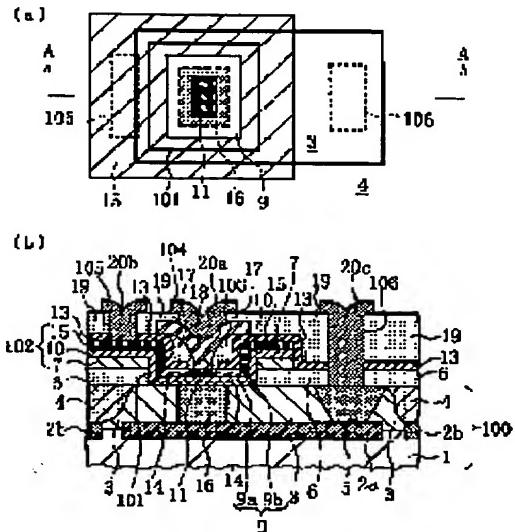
---

**(54) SEMICONDUCTOR DEVICE PROVIDED WITH HETEROJUNCTION BIPOLAR TRANSISTOR AND MANUFACTURE THEREOF**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the base resistance of a heterojunction bipolar transistor as well as its junction capacitance at the same time so as to improve the electric characteristics.

**SOLUTION:** A p-type intrinsic base area 9 is formed on the surface of a semiconductor substrate 100 within an opening 101 of a first insulation layer 6. An n-type single crystal semiconductor layer is formed on the intrinsic base area 9 within the opening 101, and a p-type outer base area 14 is formed on the outer peripheral part by introducing a p-type impurity from a BSG layer 13. A part in which the impurity of the single crystal semiconductor layer is not introduced is used for an emitter area 11. The emitter area 11 and intrinsic base area 9 are connected by heterojunction. The concentration of impurity in the emitter area is made lower than that in the intrinsic base area 9.




---

**LEGAL STATUS**

[Date of request for examination] 13.08.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58555

(P2000-58555A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/331  
29/73  
29/165

識別記号

F I

H 01 L 29/72  
29/165

テマコード<sup>8</sup> (参考)  
5 F 0 0 3

審査請求 有 請求項の数7 OL (全24頁)

(21)出願番号

特願平10-229127

(22)出願日

平成10年8月13日 (1998.8.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 文彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100095706

弁理士 泉 克文

Fターム(参考) 5F003 AP05 BA93 BA97 BB01 BB04  
BB06 BB07 BB08 BC01 BE01  
BE07 BE08 BF06 BM01 BP07  
BP32 BP33 BP34 BS04 BS05  
BS06 BS08

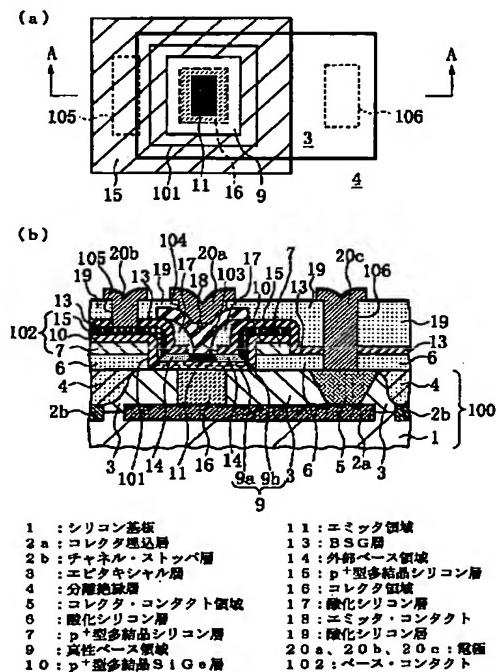
(54)【発明の名称】 ヘテロ接合バイポーラトランジスタを備えた半導体装置およびその製造方法

(57)【要約】

【課題】 ヘテロ接合バイポーラトランジスタのベース抵抗の低減と接合容量の低減を同時に達成し、電気的特性を向上させる。

【解決手段】 第1絶縁層6の開口101の内部で、半導体基体100の表面にp型の真性ベース領域9を形成する。開口101の内部で真性ベース領域9の上にn型の単結晶半導体層を形成し、その外周部にBSG層13からp型不純物を導入してp型の外部ベース領域14を形成する。前記単結晶半導体層の不純物が導入されない部分をn型のエミッタ領域11とする。エミッタ領域11と真性ベース領域9はヘテロ接合を形成する。エミッタ領域11の不純物濃度は、真性ベース領域9の不純物濃度よりも低い。

(図1)



## 【特許請求の範囲】

【請求項 1】 半導体基体上にヘテロ接合バイポーラトランジスタを備えた半導体装置であって、前記半導体基体の内部に形成された第1導電型のコレクタ領域と、前記半導体基体の表面に形成された、前記半導体基体の表面を露出させる第1開口を有する第1絶縁層と、前記第1絶縁層の第1開口の内部において、前記半導体基体の表面に形成された第2導電型の真性ベース領域と、前記第1絶縁層の第1開口の内部において前記真性ベース領域の上に形成され、且つその真性ベース領域との間にヘテロ接合を形成する第1導電型のエミッタ領域と、前記第1絶縁層の第1開口の内部において前記真性ベース領域の上に形成された第2導電型の外部ベース領域と、前記第1絶縁層の上で前記第1開口の近傍に形成され、且つ前記真性ベース領域および前記外部ベース領域の少なくとも一方に接触せしめられたベース・コンタクトと、前記エミッタ領域に電気的に接続されたエミッタ・コンタクトと、前記コレクタ領域に電気的に接続されたコレクタ・コンタクトとを備え、前記エミッタ領域と前記外部ベース領域は、同一の単結晶半導体層の異なる部分からそれぞれ形成されており、前記エミッタ領域の不純物濃度は、前記真性ベース領域の不純物濃度よりも低いことを特徴とする半導体装置。

【請求項 2】 前記コレクタ・コンタクトが第1および第2の導電層を含んでおり、それら第1および第2の導電層が、前記真性ベース領域と前記外部ベース領域にそれぞれ接触し且つそれぞれ電気的に接続される請求項1に記載の半導体装置。

【請求項 3】 前記コレクタ・コンタクトの内側部分が前記第1絶縁層の第1開口の内部にせり出して形成されている請求項1または2に記載の半導体装置。

【請求項 4】 前記真性ベース領域がその内部での少数キャリアの移動速度を増加するための傾斜した不純物プロファイルを持つ請求項1～3のいずれかに記載の半導体装置。

【請求項 5】 前記単結晶半導体層の前記外部ベース領域に対応する箇所に接触して、その箇所に前記第2導電型の不純物を含む不純物含有部分が存在しており、前記外部ベース領域は、前記不純物含有部分に含まれている前記第2導電型の不純物を前記単結晶半導体層の前記外部ベース領域に対応する箇所に導入することにより形成される請求項1～4のいずれかに記載の半導体装置。

【請求項 6】 半導体基体上にヘテロ接合バイポーラトランジスタを備えた半導体装置の製造方法であって、

$$N_e > N_b > N_c$$

前記半導体基体の内部に第1導電型のコレクタ領域を形成する工程と、

前記半導体基体の表面に、前記半導体基体の表面を露出させる第1開口を有する第1絶縁層を形成する工程と、前記第1絶縁層の第1開口の内部において、前記半導体基体の表面に第2導電型の真性ベース領域を形成する工程と、

前記真性ベース領域の上に第1導電型の半導体層を形成する工程と、

前記第2導電型の不純物を含む不純物含有部分を前記第1導電型の半導体層の所定箇所に接触させて形成する工程と、

熱処理により、前記不純物含有部分に含まれている前記第2導電型の不純物を前記第1導電型の半導体層の所定箇所に導入することにより、前記第2導電型の外部ベース領域を形成すると共に、前記第1導電型の半導体層の残りの箇所によって前記第1導電型のエミッタ領域を形成する工程と、

前記第1絶縁層の上で前記第1開口の近傍において、前記真性ベース領域および前記外部ベース領域の少なくとも一方に接触せしめられたベース・コンタクトを形成する工程と、

前記エミッタ領域に電気的に接続されたエミッタ・コンタクトを形成する工程と、

前記コレクタ領域に電気的に接続されたコレクタ・コンタクトを形成する工程とを備え、

前記熱処理工程において、前記エミッタ領域の不純物濃度は前記真性ベース領域の不純物濃度よりも低くなるように設定されることを特徴とする半導体装置の製造方法。

【請求項 7】 前記コレクタ・コンタクトが第1および第2の導電層を含んでおり、それら第1および第2の導電層が、前記真性ベース領域と前記外部ベース領域にそれぞれ接触し且つそれぞれ電気的に接続される請求項6に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、さらに言えば、ベース・エミッタ間にヘテロ接合を有するバイポーラトランジスタを備えた半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 一般に、ホモ接合を有するバイポーラトランジスタでは、エミッタ領域、ベース領域、コレクタ領域の不純物濃度をそれぞれ $N_e$ 、 $N_b$ 、 $N_c$ とすると、それら領域の不純物濃度は、次の式(1)の関係が成立するように設定される。

## 【0003】

その理由は、ホモ接合のバイポーラトランジスタの電流増幅率  $h_{FE}$  は次の式 (2) で近似的に表現されるため、式 (1) の関係が成立する場合に電流増幅率  $h_{FE}$

$$h_{FE} = (N_e \cdot W_e) / (N_b \cdot W_b) \quad (2)$$

なお、式 (2) において、 $W_e$  はエミッタ領域の幅、 $W_b$  はベース領域の幅である。

【0005】しかし、エミッタ領域、ベース領域、コレクタ領域の不純物濃度を式 (1) の関係が成立するように設定すると、ベース領域の不純物濃度  $N_b$  が低くなる。このため、電流増幅率  $h_{FE}$  の増加と引き替えにベース抵抗の増大という欠点が生じる。

【0006】これに対して、エミッタ・ベース間をヘテロ接合とするバイポーラ・トランジスタ、すなわち HBT (Heterojunction Bipolar Transistor) では、ベース領域の禁制帯幅  $E_{gb}$  がエミッタ領域の禁制帯幅  $E_{ge}$  よりも小さい材料、すなわち  $E_{gb} < E_{ge}$  の関係が成立する材料を組み合わせることにより、ベース領域の不純物濃度  $N_b$  をエミッタ領域の不純物濃度  $N_e$  よりも高くなるように、すなわち  $N_e < N_b$  の関係が成立するように設定しても、十分大きな電流増幅率  $h_{FE}$  を得ることができる。

【0007】このような HBT (いわゆる、ワイドギャップ・エミッタ型 HBT) では、十分大きな電流増幅率  $h_{FE}$  と共に極めて低いベース抵抗  $R_b$  を実現することができると言う特長がある。

【0008】ベース・エミッタ間にホモ接合を有する従来の半導体装置の一例を図 15 に示す。この半導体装置はいわゆるメサ型構造を持つものである。

【0009】図 15 の従来の半導体装置では、 $n^+$  型シリコン基板 201 上に  $n^-$  型シリコンからなるコレクタ層 202 が形成され、そのコレクタ層 202 の上に  $p^+$  型 SiGe 合金からなるベース層 203 が形成されている。そして、そのベース層 203 の上に  $n^-$  型シリコンからなるエミッタ層 204 が形成されている。これらのコレクタ層 202、ベース層 203、エミッタ層 204 はエピタキシャル成長法を用いて形成される。

【0010】コレクタ層 202 の表面の一部はベース層 203 から露出しており、この露出した表面にアルミニウム合金からなるコレクタ電極 (図示せず) が形成される。ベース層 203 の表面の一部はエミッタ層 204 から露出しており、この露出した表面にアルミニウム合金からなるベース電極層 (図示せず) が形成される。エミッタ層 204 の上には  $n^+$  型 Si 層からなるエミッタ電極層 205 が形成されている。

【0011】このメサ型の従来の半導体装置では、いわゆるメサ型構造を構成することが必要であるため、微細化が困難であるという問題がある。よって、近年の半導体装置のより高度な微細化には到底対応できない。

【0012】ベース・エミッタ間にホモ接合を有するバイポーラトランジスタを備えた従来の半導体装置の他の例を図 16 に示す。この半導体装置は、ある程度の微細

を大きくすることができるからである。

#### 【0004】

化に対応できるものである。

【0013】図 16 の従来の半導体装置は、ベース・エミッタ間とベース・コレクタ間にホモ接合を持つ  $n-p-n$  型バイポーラトランジスタが形成されたシリコン (Si) 基板 300 を備えている。この基板 300 は、 $p^-$  型シリコン基板 301 と、その基板 301 の表面に形成された  $n^-$  型シリコン・エピタキシャル層 303 を含んでいる。

【0014】 $n^-$  型シリコン・エピタキシャル層 303 は、酸化シリコンからなる分離絶縁層 304 により分離されて素子形成領域を形成している。 $n-p-n$  型バイポーラトランジスタはこの素子形成領域内に形成されている。

【0015】エピタキシャル層 303 の素子形成領域の内部には、 $n$  型単結晶シリコンからなるコレクタ領域 316 と  $n^+$  型単結晶シリコンからなるコレクタ・コンタクト領域 305 が形成されている。コレクタ領域 316 は素子形成領域の一方の端部の近傍に配置され、コレクタ・コンタクト領域 305 はコレクタ領域 316 とは反対側の端部に配置されている。

【0016】素子形成領域の基板 301 とエピタキシャル層 303 の界面の近傍には、 $n^+$  型シリコンからなるコレクタ埋込層 302a と、 $p^+$  型シリコンからなるチャネル・ストップ 302b が形成されている。コレクタ埋込層 302a は、素子形成領域の一方の端部近傍から他方の端部近傍まで延在し、コレクタ領域 316 とコレクタ・コンタクト領域 305 の底部に接触している。こうして、コレクタ領域 316 をコレクタ・コンタクト領域 305 に対して電気的に接続している。チャネル・ストップ 302b は、分離絶縁層 304 の直下において、素子形成領域を囲むように分離絶縁層 304 に沿って延在している。チャネル・ストップ 302b は、分離絶縁層 304 の底部に接触している。

【0017】基板 300 の表面、換言すればエピタキシャル層 303 の表面は、酸化シリコン層 306 で覆われている。酸化シリコン層 306 には、それを貫通する開口 331 が形成されており、その開口 331 から基板 300 の表面が露出している。酸化シリコン層 306 の上には、 $p^+$  型多結晶シリコン層 307 が選択的に形成されている。

【0018】開口 331 は、基板 300 に形成されたコレクタ領域 316 にほぼ同心となるように重なっている。 $p^+$  型多結晶シリコン層 307 はベース・コンタクト 502 の一部を形成するので、開口 331 の近傍にのみ且つ開口 331 を囲むように形成されている。

【0019】開口 331 から露出した基板 300 の表面

には、 $p^+$ 型単結晶シリコンからなる真性ベース領域309が形成されている。この真性ベース領域309は、選択的エピタキシャル成長法により形成されるものであり、開口331から露出した基体300の表面の全体を覆っている。

【0020】真性ベース領域309の上には、ベース・コンタクト502の他の一部を形成する $p^+$ 型多結晶シリコン層310が、真性ベース領域309の外周上に形成されている。この $p^+$ 型多結晶シリコン層310は、開口331の内壁面の全体を覆っている。真性ベース領域309は、こうして $p^+$ 型多結晶シリコン層310を介して $p^+$ 型多結晶シリコン層307に電気的に接続されている。

【0021】ベース・コンタクト502は、 $p^+$ 型多結晶シリコン層307と $p^+$ 型多結晶シリコン層310により構成され、真性ベース領域309を後述のベース電極320bに電気的に接続している。

【0022】 $p^+$ 型単結晶シリコンからなる真性ベース領域309の内部には、n型単結晶シリコンからなるエミッタ領域311が形成されている。エミッタ領域311は、開口331の中央においてコレクタ領域316に重なるように配置されている。

【0023】エミッタ領域311と真性ベース領域309は、同一の単結晶シリコン層の中央部と周辺部からそれぞれ形成されている。エミッタ領域311は、 $p^+$ 型の単結晶シリコン層の中央部にn型不純物を選択的にドープすることにより形成され、n型不純物をドープされない周辺部が真性ベース領域309となる。

【0024】ベース・コンタクト502の一部を形成する $p^+$ 型多結晶シリコン層307の上には、窒化シリコン層308が形成されている。この窒化シリコン層308は、 $p^+$ 型多結晶シリコン層307の表面だけでなく、 $p^+$ 型多結晶シリコン層307の開口331側の側面をも覆っている。

【0025】エミッタ領域311と真性ベース領域309を形成する単結晶シリコン層の上には、絶縁用側壁としての酸化シリコン層317が選択的に形成され、その酸化シリコン層317の内側に $n^+$ 型多結晶シリコンからなるエミッタ・コンタクト318が形成されている。このエミッタ・コンタクト318は、エミッタ領域311と接触してそれに電気的に接続されていると共に、酸化シリコン層317によってベース・コンタクト502から電気的に絶縁されている。このエミッタ・コンタクト318の頂部は、窒化シリコン層308の上に突出している。酸化シリコン層317は、窒化シリコン層308とエミッタ・コンタクト318の間の隙間を埋め込んだ形になっている。

【0026】窒化シリコン層308の上には、その窒化シリコン層308から露出したエミッタ・コンタクト318覆うように酸化シリコン層319が形成されてい

る。酸化シリコン層319の上には、エミッタ電極320a、ベース電極320bおよびコレクタ電極320cが形成されている。エミッタ電極320aは、エミッタコンタクト318とエミッタ領域311の直上に位置している。ベース電極320bは、コレクタ電極320cから遠い側においてベース・コンタクト502の直上に位置している。コレクタ電極320cは、コレクタ・コンタクト領域305の直上に位置している。

【0027】エミッタ電極320aは、酸化シリコン層319を貫通する開口を介してエミッタ・コンタクト318に接触し、それによってエミッタ・コンタクト318を介してその下方のエミッタ領域311に電気的に接続されている。

【0028】ベース電極320bは、酸化シリコン層319と窒化シリコン層308を貫通する開口を介して、ベース・コンタクト502を構成する $p^+$ 型多結晶シリコン層307に接触している。ベース電極320bは、その下方のベース・コンタクト502を介して、開口331内にある真性ベース領域309に電気的に接続されている。

【0029】コレクタ電極320cは、酸化シリコン層319と窒化シリコン層308の全てを貫通する開口を介して下方のコレクタ・コンタクト領域305に接触し、それによってコレクタ・コンタクト領域305とコレクタ埋込層302aを介してコレクタ領域316に電気的に接続されている。

【0030】以上述べたように、図16の従来の半導体装置では、エミッタ領域311と真性ベース領域309は同一の単結晶シリコン層の中央部と周辺部からそれぞれ形成されているが、そのエミッタ領域311は、 $n^+$ 型多結晶シリコンからなるエミッタ・コンタクト318からn型不純物を $p^+$ 型の単結晶シリコン層の中央部に選択的にドープすることにより形成される。従って、エミッタ領域311のn型不純物濃度は、エミッタ・コンタクト318からドープされたn型不純物の濃度から $p^+$ 型単結晶シリコン層の $p^+$ 型不純物の濃度を減算したものの(差)に等しくなる。

【0031】そこで、エミッタ・コンタクト318からドープされるn型不純物の濃度は、製造プロセスにおける不純物濃度のバラツキがあっても $p^+$ 型単結晶シリコン層の内部に確実にn型エミッタ領域311が形成されるように、 $p^+$ 型単結晶シリコン層(すなわち真性ベース領域309)のp型不純物の濃度に比べて2桁程度高く設定されるのが通常である。このため、 $p^+$ 型真性ベース領域309のp型不純物の濃度は、エミッタ領域311のn型不純物の濃度よりも低くならざるを得ない。

【0032】よって、真性ベース領域309の不純物濃度を高くすることは困難であるという問題がある。つまり、図17に示された構成は、ベース・エミッタ間にヘテロ接合を有する前述したようなバイポーラトランジス

タには適用できないのである。

【0033】次に、前述したような特長を持つベース・エミッタ間にヘテロ接合を有するバイポーラトランジスタを備えた従来の半導体装置の例を図17に示す。

【0034】図17の従来の半導体装置は、ベース・エミッタ間とベース・コレクタ間にヘテロ接合を持つn-p-n型バイポーラトランジスタが形成されたシリコン基体400を備えている。この基体400は、p<sup>-</sup>型シリコン基板401と、その基板401の表面に形成されたn<sup>-</sup>型シリコン・エピタキシャル層403とを含んでいる。

【0035】n<sup>-</sup>型シリコン・エピタキシャル層403は、酸化シリコンからなる分離絶縁層404により分離されて素子形成領域を形成している。n-p-n型バイポーラトランジスタはこの素子形成領域内に形成されている。

【0036】エピタキシャル層403の素子形成領域の内部には、n型単結晶シリコンからなるコレクタ領域416とn<sup>+</sup>型単結晶シリコンからなるコレクタ・コンタクト領域405が形成されている。コレクタ領域416は素子形成領域の一方の端部の近傍に配置され、コレクタ・コンタクト領域405はコレクタ領域416とは反対側の端部に配置されている。

【0037】素子形成領域の基板401とエピタキシャル層403の界面の近傍には、n<sup>+</sup>型シリコンからなるコレクタ埋込層402aと、p<sup>+</sup>型シリコンからなるチャネル・ストップ402bが形成されている。コレクタ埋込層402aは、素子形成領域の一方の端部近傍から他方の端部近傍まで延在し、コレクタ領域416とコレクタ・コンタクト領域405の底部に接触している。こうして、コレクタ領域416をコレクタ・コンタクト領域405に対して電気的に接続している。チャネル・ストップ402bは、分離絶縁層404の直下において、素子形成領域を囲むように分離絶縁層404に沿って延在している。チャネル・ストップ402bは、分離絶縁層404の底部に接触している。

【0038】基体400の表面、換言すればエピタキシャル層403の表面は、酸化シリコン層406で覆われている。酸化シリコン層406の上には、p<sup>+</sup>型多結晶シリコン層407が選択的に形成されている。酸化シリコン層406とp<sup>+</sup>型多結晶シリコン層407には、それらを貫通する開口431が形成されており、その開口431から基体400の表面が露出している。

【0039】開口431は、基体400に形成されたコレクタ領域416にほぼ同心となるように重なっている。p<sup>+</sup>型多結晶シリコン層407はベース・コンタクト602の一部を形成するので、開口431の近傍にのみ且つ開口431を囲むように形成されている。

【0040】開口431から露出した基体400の表面には、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域4

09が形成されている。この真性ベース領域409は、選択的エピタキシャル成長法により形成されるものであり、開口431から露出した基体400の表面の全体を覆っている。

【0041】真性ベース領域409の上には、ベース・コンタクト602の他の一部を形成するp<sup>+</sup>型多結晶SiGe層410が、p<sup>+</sup>型多結晶シリコン層407の上に形成されている。p<sup>+</sup>型多結晶SiGe層410は、真性ベース領域409の外周端まで延在している。このp<sup>+</sup>型多結晶SiGe層410は、開口431の内壁面の全体を覆っている。真性ベース領域409は、こうしてp<sup>+</sup>型多結晶SiGe層410を介してp<sup>+</sup>型多結晶シリコン層407に電気的に接続されている。

【0042】ベース・コンタクト602は、p<sup>+</sup>型多結晶シリコン層407とp<sup>+</sup>型多結晶SiGe層410により構成され、真性ベース領域409を後述のベース電極420bに電気的に接続している。

【0043】p<sup>+</sup>型単結晶SiGeからなる真性ベース領域409の上には、n<sup>-</sup>型単結晶シリコンからなるエミッタ領域411が形成されている。エミッタ領域411は、開口431の内部においてコレクタ領域416に重なるように配置されている。

【0044】ベース・コンタクト602の他の一部を形成するp<sup>+</sup>型多結晶SiGe層410の上には、n<sup>-</sup>型多結晶シリコン層412が形成されている。このn<sup>-</sup>型多結晶シリコン層412は、n<sup>-</sup>型エミッタ領域411の外縁に接続されている。このn<sup>-</sup>型多結晶シリコン層412のベース電極420bに対応する箇所は、p型に変更されていて、p<sup>+</sup>型多結晶シリコン層423となっている。

【0045】ベース・コンタクト602の一部を形成するp<sup>+</sup>型多結晶シリコン層412の上には、BSG層408が形成されている。このBSG層408は、p<sup>+</sup>型多結晶シリコン層412の表面だけでなく、エミッタ領域411の表面の一部をも覆っている。

【0046】エミッタ領域411の上には、n<sup>+</sup>型多結晶シリコンからなるエミッタ・コンタクト418が形成されている。このエミッタ・コンタクト418は、エミッタ領域411と接触してそれに電気的に接続されていると共に、BSG層408によってベース・コンタクト602から電気的に絶縁されている。このエミッタ・コンタクト418の頂部は、BSG層408の上に突出している。

【0047】BSG層408の上には、そのBSG層408から露出したエミッタ・コンタクト418覆うように酸化シリコン層419が形成されている。酸化シリコン層419の上には、エミッタ電極420a、ベース電極420bおよびコレクタ電極420cが形成されている。エミッタ電極420aは、エミッタコンタクト418とエミッタ領域411の直上に位置している。ベース

電極420bは、コレクタ電極420cから遠い側においてベース・コンタクト602の直上に位置している。コレクタ電極420cは、コレクタ・コンタクト領域405の直上に位置している。

【0048】エミッタ電極420aは、酸化シリコン層419を貫通する開口を介してエミッタ・コンタクト418に接触し、それによってエミッタ・コンタクト418を介してその下方のエミッタ領域411に電気的に接続されている。

【0049】ベース電極420bは、酸化シリコン層419とBSG層408を貫通する開口を介して、ベース・コンタクト602を構成するp<sup>+</sup>型多結晶シリコン層407に接触している。ベース電極620bは、その下方のベース・コンタクト602を介して、開口431内にある真性ベース領域409に電気的に接続されている。

【0050】コレクタ電極420cは、酸化シリコン層419とBSG層408の全てを貫通する開口を介して下方のコレクタ・コンタクト領域405に接触し、それによってコレクタ・コンタクト領域405とコレクタ埋込層402aを介してコレクタ領域416に電気的に接続されている。

#### 【0051】

【発明が解決しようとする課題】以上述べたように、図17の従来の半導体装置では、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域409とn<sup>-</sup>型単結晶シリコンからなるエミッタ領域411により、ベース・エミッタ間にヘテロ接合が形成されている。また、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域409とn型単結晶シリコンからなるコレクタ領域416により、コレクタ・ベース間にもヘテロ接合が形成されている。

【0052】しかし、図17の従来の半導体装置では、p<sup>+</sup>型多結晶SiGe層410とn<sup>-</sup>型多結晶シリコン層412により、ヘテロ接合が形成されている。その結果、このヘテロ接合での再結合電流が大きくなるため、当該n p n型バイポーラトランジスタの遮断周波数f<sub>T</sub>が低下するという問題がある。

【0053】そこで、本発明の目的は、ベース抵抗の低減と接合容量の低減を同時に達成できるヘテロ接合バイポーラトランジスタを備えた半導体装置とその製造方法を提供することにある。

【0054】本発明の他の目的は、電気的特性を向上させたヘテロ接合バイポーラトランジスタを備えた半導体装置とその製造方法を提供することにある。

#### 【0055】

【課題を解決するための手段】(1) 本発明の半導体装置は、半導体基体上にヘテロ接合バイポーラトランジスタを備えた半導体装置であって、前記半導体基体の内部に形成された第1導電型のコレクタ領域と、前記半導体基体の表面に形成された、前記半導体基体の表面を露

出させる第1開口を有する第1絶縁層と、前記第1絶縁層の第1開口の内部において、前記半導体基体の表面に形成された第2導電型の真性ベース領域と、前記第1絶縁層の第1開口の内部において前記真性ベース領域の上に形成され、且つその真性ベース領域との間にヘテロ接合を形成する第1導電型のエミッタ領域と、前記第1絶縁層の第1開口の内部において前記真性ベース領域の上に形成された第2導電型の外部ベース領域と、前記第1絶縁層の上で前記第1開口の近傍に形成され、且つ前記真性ベース領域および前記外部ベース領域の少なくとも一方に接触せしめられたベース・コンタクトと、前記エミッタ領域に電気的に接続されたエミッタ・コンタクトと、前記コレクタ領域に電気的に接続されたコレクタ・コンタクトとを備え、前記エミッタ領域と前記外部ベース領域は、同一の単結晶半導体層の異なる部分からそれぞれ形成されており、前記エミッタ領域の不純物濃度は、前記真性ベース領域の不純物濃度よりも低いことを特徴とする。

【0056】(2) 本発明の半導体装置では、第1導電型のエミッタ領域と接触する第2導電型の真性ベース領域がヘテロ接合を形成し、また、エミッタ領域の不純物濃度は真性ベース領域の不純物濃度よりも低い。従つて、当該半導体装置のヘテロ接合バイポーラトランジスタは、本来の低ベース抵抗、高電流増幅率という特徴を持つ。

【0057】また、第2導電型の外部ベース領域が、第1導電型のエミッタ領域と同一の単結晶半導体層の異なる部分からそれぞれ形成されているので、エミッタ領域と真性ベース領域の間のp-nヘテロ接合だけでなく、エミッタ領域と外部ベース領域の間のp-n接合にも多結晶部分は存在しないため、エミッタ領域から外部ベース領域と真性ベース領域に注入される電子が正孔との再結合によって生成する再結合電流は、低く抑えられる。

【0058】その結果、前記バイポーラトランジスタの遮断周波数f<sub>T</sub>の低下が防止される。しかも、ベース・コレクタ容量も低く抑えられる。よって、前記バイポーラトランジスタの電気的特性が向上する。

【0059】(3) 本発明の半導体装置の好ましい例では、前記コレクタ・コンタクトが第1および第2の導電層を含んでおり、それら第1および第2の導電層が、前記真性ベース領域と前記外部ベース領域にそれぞれ接觸し且つそれぞれ電気的に接続される。

【0060】本発明の半導体装置の他の好ましい例では、前記コレクタ・コンタクトの内側部分が前記第1絶縁層の第1開口の内部にせり出して形成される。

【0061】本発明の半導体装置のさらに他の好ましい例では、前記真性ベース領域がその内部での少数キャリアの移動速度を増加するための傾斜した不純物プロファイルを持つ。

【0062】本発明の半導体装置のさらに他の好ましい

例では、前記単結晶半導体層の前記外部ベース領域に対応する箇所に接触して、その箇所に前記第2導電型の不純物を含む不純物含有部分が存在しており、前記外部ベース領域は、前記不純物含有部分に含まれている前記第2導電型の不純物を前記単結晶半導体層の前記外部ベース領域に対応する箇所に導入することにより形成される。

【0063】(4) 本発明の半導体装置の製造方法は、半導体基体上にヘテロ接合バイポーラトランジスタを備えた半導体装置の製造方法であって、前記半導体基体の内部に第1導電型のコレクタ領域を形成する工程と、前記半導体基体の表面に、前記半導体基体の表面を露出させる第1開口を有する第1絶縁層を形成する工程と、前記第1絶縁層の第1開口の内部において、前記半導体基体の表面に第2導電型の真性ベース領域を形成する工程と、前記真性ベース領域の上に第1導電型の半導体層を形成する工程と、前記第2導電型の不純物を含む不純物含有部分を前記第1導電型の半導体層の所定箇所に接触させて形成する工程と、熱処理により、前記不純物含有部分に含まれている前記第2導電型の不純物を前記第1導電型の半導体層の所定箇所に導入することにより、前記第2導電型の外部ベース領域を形成すると共に、前記第1導電型の半導体層の残りの箇所によって前記第1導電型のエミッタ領域を形成する工程と、前記第1絶縁層の上で前記第1開口の近傍において、前記真性ベース領域および前記外部ベース領域の少なくとも一方に接触せしめられたベース・コンタクトを形成する工程と、前記エミッタ領域に電気的に接続されたエミッタ・コンタクトを形成する工程と、前記コレクタ領域に電気的に接続されたコレクタ・コンタクトを形成する工程とを備え、前記熱処理工程において、前記エミッタ領域の不純物濃度は前記真性ベース領域の不純物濃度よりも低くなるように設定されることを特徴とする。

【0064】(5) 本発明の半導体装置の製造方法では、本発明の半導体装置が容易に製造される。

【0065】(6) 本発明の半導体装置の製造方法の好ましい例では、前記コレクタ・コンタクトが第1および第2の導電層を含んでおり、それら第1および第2の導電層が、前記真性ベース領域と前記外部ベース領域にそれぞれ接触し且つそれぞれ電気的に接続される。

#### 【0066】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面を参考しながら具体的に説明する。

#### 【0067】(第1実施形態)

【構成】図1は、本発明の第1実施形態の半導体装置の部分平面図とそのA-A線に沿った部分断面図を示す。

【0068】図1の半導体装置は、ベース・エミッタ間にベース・コレクタ間にヘテロ接合を持つn p n型バイポーラトランジスタが形成されたシリコン(Si)基体100を備えている。この基体100は、p<sup>-</sup>型シリコ

ン基板1と、その基板1の表面に形成されたn<sup>-</sup>型シリコン・エピタキシャル層3とを含んでいる。基板1は、結晶の面方位が(100)の表面を持ち、且つ抵抗率が10から20Ω·cmである。このn<sup>-</sup>型シリコン・エピタキシャル層3の厚さは、n型不純物濃度が5×10<sup>16</sup>cm<sup>-3</sup>以下となる領域の厚さをもって実効的な厚さと定義すると、約0.40μmである。

【0069】n<sup>-</sup>型シリコン・エピタキシャル層3は、ロコス(LOCOS, Local Oxidation of Silicon)法により形成された酸化シリコンからなる分離絶縁層4により分離されて、平面形状が略矩形の素子形成領域を形成している。n p n型バイポーラ・トランジスタはこの素子形成領域内に形成されている。

【0070】エピタキシャル層3の素子形成領域の内部には、n型単結晶シリコンからなるコレクタ領域16とn<sup>+</sup>型単結晶シリコンからなるコレクタ・コンタクト領域5が形成されている。コレクタ領域16とコレクタ・コンタクト領域5の平面形状は、いずれも略矩形である。コレクタ領域16は素子形成領域の一方の端部の近傍に配置され、コレクタ・コンタクト領域5はコレクタ領域16とは反対側の端部に配置されている。

【0071】素子形成領域の基板1とエピタキシャル層3の界面の近傍には、n<sup>+</sup>型シリコンからなるコレクタ埋込層2aと、p<sup>+</sup>型シリコンからなるチャネル・ストップ2bが形成されている。コレクタ埋込層2aとチャネル・ストップ2bの厚さはいずれも数μmである。コレクタ埋込層2aは、素子形成領域の一方の端部近傍から他方の端部近傍まで延在し、コレクタ領域16とコレクタ・コンタクト領域5の底部に接触している。こうして、コレクタ領域16をコレクタ・コンタクト領域5に対して電気的に接続している。チャネル・ストップ2bは、分離絶縁層4の直下において、素子形成領域を囲むように分離絶縁層4に沿って延在している。チャネル・ストップ2bは、分離絶縁層4の底部に接触している。

【0072】基体100の表面、換言すればエピタキシャル層3の表面は、酸化シリコン層6で覆われている。酸化シリコン層6の上には、p<sup>+</sup>型多結晶シリコン層7が選択的に形成されている。酸化シリコン層6および多結晶シリコン層7には、それらを貫通する略矩形のベース用開口101が形成されており、その開口101から基体100の表面が露出している。

【0073】開口101は、基体100に形成されたコレクタ領域16にほぼ同心となるように重なっている。換言すれば、コレクタ領域16は、酸化シリコン層6と多結晶シリコン層7を貫通する開口101のほぼ中心に位置しており、コレクタ領域16の全体が開口101内にある。p<sup>+</sup>型多結晶シリコン層7はベース・コンタクト102の一部を形成するので、開口101の近傍にのみ且つ開口101を囲むように形成されている。

【0074】開口101から露出した基体100の表面

には、 $p^+$ 型単結晶SiGeからなる真性ベース領域9が形成されている。この真性ベース領域9は、開口101から露出した基体100の表面の全体を覆っている。また、この真性ベース領域9は、その下部に位置し相対的に高い不純物濃度の第1部分9aと、その上部に位置し相対的に低い不純物濃度の第2部分9bとから構成される。第1部分9aは、その下縁から上縁までGe濃度がほぼ同一の濃度プロファイルを持つが、第2部分9bは、その下縁から上縁に向かってGe濃度が徐々に減少する傾斜濃度プロファイルを有している。

【0075】 $p^+$ 型多結晶シリコン層7の上には、ベース・コンタクト102の他の一部を形成する $p^+$ 型多結晶SiGe層10が選択的に形成されている。この $p^+$ 型多結晶SiGe層10は、 $p^+$ 型多結晶シリコン層7に完全に重なるように形成されている。さらに、この $p^+$ 型多結晶SiGe層10は、開口101の内壁面の全体を覆っていると共に、 $p^+$ 型単結晶SiGeからなる真性ベース領域9の外周縁に接続されている。真性ベース領域9は、こうして $p^+$ 型多結晶SiGe層10と $p^+$ 型多結晶シリコン層7とに電気的に接続されている。

【0076】 $p^+$ 型単結晶SiGeからなる真性ベース領域9の上には、n型単結晶シリコンからなるエミッタ領域11と、 $p^+$ 型単結晶シリコンからなる外部ベース領域14とが形成されている。エミッタ領域11は、開口101の中央においてコレクタ領域16に重なるように配置され、その全周を外部ベース領域14によって囲まれている。エミッタ領域11の平面形状は略矩形で、外部ベース領域14の平面形状は略矩形枠状である。

【0077】エミッタ領域11と外部ベース領域14は、同一の単結晶シリコン層の中央部と周辺部からそれぞれ形成されている。エミッタ領域11は、 $p^+$ 型の単結晶シリコン層の中央部にn型不純物を選択的にドープすることにより形成され、n型不純物をドープされない周辺部が外部ベース領域14となる。

【0078】 $p^+$ 型多結晶SiGe層10の上には、ベース・コンタクト102のさらに他の一部を形成する $p^+$ 型多結晶シリコン層15が選択的に形成されている。この $p^+$ 型多結晶シリコン層15は、 $p^+$ 型多結晶SiGe層10に完全に重なるように形成されている。さらに、この $p^+$ 型多結晶SiGe層15は、開口101の内壁面の全体を覆っていると共に、 $p^+$ 型単結晶シリコンからなる外部ベース領域14の外周縁に接続されている。外部ベース領域14は、一方では、こうして $p^+$ 型多結晶シリコン層15と $p^+$ 型多結晶SiGe層10と $p^+$ 型多結晶シリコン層7とに電気的に接続され、他方では、真性ベース領域9に電気的に接続されている。

【0079】ベース・コンタクト102は、 $p^+$ 型多結晶シリコン層7と $p^+$ 型多結晶SiGe層10と $p^+$ 型多結晶シリコン層15により構成され、真性ベース領域9と外部ベース領域14を後述のベース電極20bに電気

的に接続している。

【0080】ベース・コンタクト102と、ベース・コンタクト102から露出した酸化シリコン層6の上には、ボロン・シリケート・ガラス(BORON-SILICATE GLASS, BSG)層13が形成されている。このBSG層13は、ベース・コンタクト102上から開口101の内部にまで延在していて、外部ベース領域14を覆っている。このBSG層13はまた、エミッタ領域11の直上に略矩形のエミッタ用開口103を有している。エミッタ領域11は、その全体がエミッタ用開口103から露出している。

【0081】BSG層13の上には、絶縁用側壁としての酸化シリコン層17が選択的に形成され、その酸化シリコン層17の内側に $n^+$ 型多結晶シリコンからなるエミッタ・コンタクト18が形成されている。このエミッタ・コンタクト18は、エミッタ領域11と接触してそれに電気的に接続されていると共に、酸化シリコン層17によって外部ベース領域14とベース・コンタクト102から電気的に絶縁されている。このエミッタ・コンタクト18の頂部は、BSG層13の上に突出している。酸化シリコン層17は、BSG層13とエミッタ・コンタクト18の間の隙間を埋め込んだ形になっており、その底部はエミッタ領域11と外部ベース領域14に接触している。

【0082】BSG層13の上には、そのBSG層13から露出したエミッタ・コンタクト18覆うように酸化シリコン層19が形成されている。BSG層13の上には、エミッタ電極20a、ベース電極20bおよびコレクタ電極20cが形成されている。エミッタ電極20aは、エミッタコンタクト18とエミッタ領域11の直上に位置している。ベース電極20bは、コレクタ電極20cから遠い側においてベース・コンタクト102の直上に位置している。コレクタ電極20cは、コレクタ領域5の直上に位置している。

【0083】エミッタ電極20aは、酸化シリコン層19を貫通する開口104を介してエミッタ・コンタクト領域18に接触し、それによってエミッタ・コンタクト領域18を介してその下方のエミッタ領域11に電気的に接続されている。

【0084】ベース電極20bは、BSG層13と19を貫通する開口105を介して、ベース・コンタクト31を構成する $p^+$ 型多結晶シリコン層15に接触している。ベース電極20bは、その下方のベース・コンタクト102と外部ベース領域14を介して、ベース用開口101内にある真性ベース領域9に電気的に接続されている。

【0085】コレクタ電極20cは、酸化シリコン層6、19およびBSG層13の全てを貫通する開口105を介して下方のコレクタ・コンタクト領域5に接触し、それによってコレクタ・コンタクト領域5とコレク

タ埋込層2aを介してコレクタ領域16に電気的に接続されている。

【0086】以上説明したように、本発明の第1実施形態の半導体装置では、エミッタ領域11がn型単結晶シリコンからなり、そのエミッタ領域11と接触する真性ベース領域9と外部ベース領域14とがそれぞれp<sup>+</sup>型単結晶SiGeとp<sup>+</sup>型単結晶シリコンからなっている。また、真性ベース領域9のp型不純物濃度は、エミッタ領域11のn型不純物濃度よりも高い。従って、当該半導体装置のヘテロ接合バイポーラトランジスタは、本来の低ベース抵抗、高電流増幅率という特徴を持つ。

【0087】また、エミッタ領域11と真性ベース領域9のp-nヘテロ接合だけでなく、エミッタ領域11と外部ベース領域14のp-nホモ接合にも多結晶部分は存在しないため、エミッタ領域11からベース領域9と14に注入される電子が正孔との再結合によって生成する再結合電流は低く抑えられる。

【0088】その結果、当該n-p-n型バイポーラトランジスタの遮断周波数f<sub>T</sub>の低下が防止される。しかも、ベース・コレクタ容量も低く抑えられる。

【製造方法】図2～図4は、以上の構成を持つ本発明の第1実施形態の半導体装置の製造方法の各工程を示す部分断面図である。

【0089】まず最初に、図2(a)に示すような(100)の結晶面を持ち抵抗率が約10～20Ω·cmであるp<sup>-</sup>型シリコン基板1を準備し、その表面に公知のCVD(Chemical Vapor Deposition)法または熱酸化法を用いて厚さ300～700nm(好ましくは500nm)の酸化シリコン層(図示せず)を形成する。その後、公知のフォトリソグラフィによりパターン化されたフォトレジスト膜をマスクとして、HF(フッ化水素)系の溶液を用いた公知のウエット・エッチング法で酸化シリコン層を選択的に除去する。フォトレジスト膜を除去すると、酸化シリコン層からなるマスク(図示せず)が基板1の表面に形成される。

【0090】その後、この酸化シリコン層のマスクを介して、公知のイオン注入法で基板1に砒素を選択的に注入する。その際には、砒素イオンが酸化シリコン層のマスクを突き抜けないように加速エネルギーを50～120keV(好ましくは70keV)とし、コレクタ埋込層2aの不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 台となるようドーズ量を $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ (好ましくは $5 \times 10^{15} \text{ cm}^{-2}$ )するのが好ましい。続いて、イオン注入による損傷の回復、砒素イオンの活性化および押し込みのために1000～1150℃(好ましくは1100℃)の窒素雰囲気中で2時間の熱処理を行う。こうして、基板1の表面領域に図2(a)に示すようなn<sup>+</sup>型コレクタ埋込層2aが形成される。

【0091】HF系の溶液で、基板1の表面に形成された酸化シリコン層のマスクを除去した後、熱酸化により

新たに厚さ50～250nm(好ましくは100nm)の酸化シリコン層(図示せず)を基板1の表面に形成する。そして、パターン化されたフォトレジスト(図示せず)をマスクとして、加速エネルギー50keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件下でボロン(硼素)のイオン注入を行う。フォトレジストを除去してから、温度1000℃、窒素雰囲気中で1時間の熱処理を行ってボロンイオンを活性化する。こうして、基板1の表面領域に図2(a)に示すようなp<sup>+</sup>型チャネル・ストップ2bが形成される。

【0092】基板1の表面の酸化シリコン層を除去した後、図2(a)に示すように、公知のエピタキシャル成長法により、コレクタ埋込層2aおよびチャネル・ストップ2bを被覆するように、基板1の表面に厚さ0.3～1.3μm(この実施形態では約0.4μm)のn<sup>-</sup>型エピタキシャル・シリコン層3を成長させる。その際の好ましい条件は、成長温度が950～1050℃、原料ガスがSiH<sub>4</sub>またはSiH<sub>2</sub>C<sub>12</sub>、ドーピングガスがPH<sub>3</sub>であり、不純物すなわち燐の含有量は $5 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ である。この実施形態では、燐の含有量は $5 \times 10^{16} \text{ cm}^{-3}$ 以下とする。

【0093】次に、熱酸化法により、エピタキシャル層3の表面に厚さ20～50nmの酸化シリコン層(図示せず)と、厚さ70～150nmの窒化シリコン層(図示せず)を順に形成した後、パターン化されたフォトレジスト膜(図示せず)をマスクとして、ドライエッチング法によりそれらの窒化シリコン層と酸化シリコン層をパターン化する。引き続いて、パターン化されたそれら窒化シリコン層と酸化シリコン層をマスクとして、ドライエッチング法にエピタキシャル層3をエッチングして、所望の素子形成領域と同じパターンを持つ溝(図示せず)を形成する。この溝の深さは、ロコス法で形成される酸化シリコン層の厚さの半分程度とするのが好ましい。フォトレジスト膜を除去してから、パターン化された窒化シリコン層と酸化シリコン層をマスクとして熱酸化法によりエピタキシャル・シリコン層3を選択的に酸化すると、図2(a)に示すように、酸化シリコンからなる分離絶縁層4がエピタキシャル層3の内部に形成される。こうして、n-p-n型バイポーラトランジスタを形成すべき素子形成領域が基板1上に画定される。

【0094】この分離絶縁層4は、その底部がチャンネル・ストップ2bに達するように形成されるのが好ましく、例えばその厚さを300～1000nmとすればよい。この実施形態では約600nmとする。

【0095】以上のようにして分離絶縁層4が形成された後、基板1の表面のパターン化された窒化シリコン層と酸化シリコン層は、熱したリン酸の溶液を用いて取り除かれる。

【0096】続いて、以下のようにしてn<sup>+</sup>型コレクタ・コンタクト領域5が形成される。まず、コレクタ・コ

ンタクト5に対応する箇所に開口を持つフォトレジスト膜(図示せず)をエピタキシャル・シリコン層3の表面に形成した後、そのフォトレジスト膜をマスクとして、加速エネルギー100keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でエピタキシャル層3を選択的に焼をイオン注入する。フォトレジスト膜を除去した後、注入された焼イオンの活性化およびイオン注入によるエピタキシャル層3の損傷回復のために、温度1000°Cの窒素雰囲気中で30分間の熱処理を行う。こうして、図2(a)に示すように、底部がn<sup>+</sup>型コレクタ埋込層2aに接触したコレクタ・コンタクト領域5が形成される。

【0097】以上の工程により、図2(a)に示す構成の基体100が作製される。

【0098】続いて、図2(b)に示すように、基体100の表面に、厚さ100nmの酸化シリコン層6を形成する。この酸化シリコン層6の厚さは、真性ベース領域の厚さの(1/2)程度とするのが好ましい。その酸化シリコン層6の上に、CVD法を用いて厚さ150~350nm(ここでは250nm)の多結晶シリコン層7を堆積させる。続いて、イオン注入法により多結晶シリコン層7にボロンを導入し、その導電型をp<sup>+</sup>型に変更する。イオン注入の条件としては、多結晶シリコン層7を突き抜けない程度の加速エネルギーとし、多結晶シリコン層7の不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ となる程度のドーズ量とする。この例では、加速エネルギー10keV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ である。

【0099】こうしてp<sup>+</sup>型となった多結晶シリコン層7の上にパターン化されたフォトレジスト膜(図示せず)を形成した後、そのフォトレジスト膜をマスクとして、公知の異方性ドライエッチング法により酸化シリコン層6および多結晶シリコン層7を選択的に除去し、図2(b)に示すような、酸化シリコン層6とp<sup>+</sup>型多結晶シリコン層7を貫通するベース用開口101を形成する。その後、マスクとして用いたフォトレジスト膜を除去する。この時の状態は図2(b)のようになる。

【0100】さらに、以下のようにして、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域9、p<sup>+</sup>型多結晶SiGe層10、n型単結晶シリコン層11a、n型多結晶シリコン層12を、図3(a)に示すように形成する。

【0101】まず、エピタキシャル成長法を用いて、アンドープのSiGe合金層を結晶成長させる。具体的には、LPCVD(Low Pressure Chemical Vapor Deposition)法、ガスソースMBE(Molecular Beam Epitaxy)法、UHV/CVD(Ultra-High Vacuum CDV)法などを使用できる。この実施形態ではUHV/CVD法を使用し、成長条件は、基板温度が605°Cであり、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとCl<sub>2</sub>ガスの流量がそれぞれ3sccm、2sccm、0.03sccmである。

【0102】この結晶成長工程により、開口101から

露出するn<sup>-</sup>型シリコン・エピタキシャル層3の表面には、アンドープの単結晶SiGe層9aが形成され、それと同時に、p<sup>+</sup>型多結晶シリコン層7の表面と酸化シリコン層6の開口101内の側面には、アンドープの多結晶SiGe層10aが形成される。アンドープ単結晶SiGe層9aの外周縁とアンドープ多結晶SiGe層10aの内周縁とは、開口101の底部外縁の近傍で互いに接続される。

【0103】アンドープ単結晶SiGe層9aとアンドープ多結晶SiGe層10aのGe濃度は、例えば約10%である。それらSiGe層9a、10aの層厚は、例えば約25nmであるが、後の工程で行われる熱処理により欠陥が発生しない範囲内で、これらの層の厚さは大きくすることができる。

【0104】続いて、UHV/CVD法を用いてp<sup>+</sup>型SiGe層を選択的に結晶成長させる。ここでは、Si<sub>2</sub>H<sub>6</sub>ガス流量とGeH<sub>4</sub>ガス流量とを調整しながら結晶を成長させる。成長条件は、例えば、基板温度が605°C、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとCl<sub>2</sub>ガスの流量がそれぞれ3sccm、2sccm、0.03sccm、ドーピングガスとしてのB<sub>2</sub>H<sub>6</sub>ガス(10%に希釈)の流量が5sccmである。

【0105】この結晶成長により、アンドープ単結晶SiGe層9aの表面にはp<sup>+</sup>型単結晶SiGe層9bが形成され、アンドープ多結晶SiGe層10aの表面にはp<sup>+</sup>型多結晶SiGe層10bが形成される。p<sup>+</sup>型単結晶SiGe層9bの外周縁とp<sup>+</sup>型多結晶SiGe層10bの内周縁とは、アンドープ単結晶SiGe層9aとアンドープ多結晶SiGe層10aの接続部の近傍で互いに接続される。

【0106】上記の条件下で結晶成長させることにより、p<sup>+</sup>型単結晶SiGe層9bのGe濃度に傾斜プロファイルを持たせることができる。この例では、結晶の成長方向(すなわち基板1から上方)に向かってGeの濃度が10%から0%まで直線的に変化するようなプロファイルとする。また、p<sup>+</sup>型単結晶SiGe層9bおよびp<sup>+</sup>型多結晶SiGe層10bの厚さとボロン含有量は、それぞれ40nm、 $5 \times 10^{19} \text{ cm}^{-3}$ である。

【0107】その後、850°Cで20分間の熱処理を行うと、p<sup>+</sup>型多結晶シリコン層7からアンドープ多結晶SiGe層10aにボロンが拡散し、p<sup>+</sup>型となる。その結果、多結晶SiGe層10aはp<sup>+</sup>型多結晶SiGe層10bと一体となって、p<sup>+</sup>型多結晶SiGe層10が形成される。また、それと同時に、p<sup>+</sup>型単結晶SiGe層9bからアンドープ単結晶SiGe層9aへのボロンの拡散が行われ、アンドープ単結晶SiGe層9aもp<sup>+</sup>型となる。こうして、全体がp<sup>+</sup>型単結晶SiGeからなる真性ベース領域9が形成される。

【0108】続いて、UHV/CVD法により、基板温

度605°C、ソースガスSi<sub>2</sub>H<sub>6</sub>（ガス流量3sccm）、ドーピングガスPH<sub>3</sub>として、n型シリコンをエピタキシャル成長させる。この結晶成長により、図3(a)に示すように、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域9の表面にはn型単結晶シリコン層11aが形成され、p<sup>+</sup>型多結晶SiGe層10の表面にはn型多結晶シリコン層12が形成される。n型単結晶シリコン層11aの外周縁とn型多結晶シリコン層12の内周縁とは、真性ベース領域9とp<sup>+</sup>型多結晶SiGe層10の接続部の近傍で互いに接続される。n型単結晶シリコン層11aおよびn型多結晶シリコン層12のリン濃度と厚さは、それぞれ、例えば約5×10<sup>18</sup>cm<sup>-3</sup>、30nmである。この時の状態を図3(a)に示す。

【01109】次に、パターン化されたフォトレジスト膜（図示せず）をn型単結晶シリコン層11aおよびn型多結晶シリコン層12の上に形成する。その後、そのパターン化されたフォトレジスト膜をマスクとして、ドライ・エッティング法により、p<sup>+</sup>型多結晶シリコン層7とp<sup>+</sup>型多結晶SiGe層10とn型多結晶シリコン層12を選択的に除去する。こうして、図3(b)に示すように、ベース・コンタクト102が形成される箇所を除いて、酸化シリコン層6の表面を露出させる。

【01110】続いて、LPCVD法を用いて厚さ100nmのBSG層13を堆積させる。このBSG層13は、図3(b)に示すように、残ったn型単結晶シリコン層11aとn型多結晶シリコン層12の表面と、露出せしめられた酸化シリコン層6の表面を覆うように形成される。

【01111】BSG層13のボロン含有量は、5～12mo1%とするのが好ましく、この実施形態では10mo1%とする。ボロン含有量が5mo1%未満の場合、後の熱処理工程におけるボロン拡散の効率が低下するため、熱処理の温度が高くなるだけでなく処理時間も長くなるからである。他方、BSG層13中に12mo1%を超えるボロンを含有させることは困難であるからである。

【01112】さらに、パターン化されたフォトレジストをマスクとして異方性ドライエッティングを行い、BSG層13にエミッタ用開口103を形成する。この時の状態を図3(b)に示す。

【01113】引き続いて、800°Cで15分間の熱処理を行い、n型単結晶シリコン層11aとBSG層13との接触面を介して、BSG層13内のボロンをn型単結晶シリコン層11aに拡散させる。このボロン拡散によりn型単結晶シリコン層11aは部分的にp<sup>+</sup>型に変わり、その箇所にp<sup>+</sup>型単結晶シリコン層14が形成される。p<sup>+</sup>型単結晶シリコン層14は外部ベース領域として動作する。n型単結晶シリコン層11aのボロンの注入されない部分は、n型単結晶シリコン層からなるエミッタ領域11となる。また、それと同時に、n型多結晶

シリコン層12にもBSG層13からボロンが拡散・注入され、n型多結晶シリコン層12の全体がp<sup>+</sup>型に変わる。その結果、p<sup>+</sup>型多結晶シリコン層15が形成される。この時の状態は図4(a)に示すようになる。

【01114】次に、BSG層13をマスクとして、n<sup>-</sup>型シリコン・エピタキシャル層3に磷を選択的にイオン注入し、n<sup>-</sup>型シリコン・エピタキシャル層3内の真性ベース9の直下に位置する箇所に、自己整合的にn型コレクタ領域16を形成する。この場合のイオン注入の条件は、例えば、加速エネルギー200keV、ドーズ量4×10<sup>12</sup>cm<sup>-2</sup>である。

【01115】その後、LPCVDにより、エミッタ領域11およびBSG層13のそれぞれの表面に酸化シリコン層（図示せず）を堆積させてから、その酸化シリコン層を異方性ドライエッティングによりエッチバックし、ベース用開口101の内部のBSG層13の表面にのみ選択的に残す。こうして、図4(b)に示すように、酸化シリコンよりなる酸化物側壁17を形成する。

【01116】続いて、LPCVD法により、BSG層13上に基板1の全面にわたって、磷がドープされた多結晶シリコン層（図示せず）を約250nmの厚さに堆積する。その後、その多結晶シリコン層をフォトリソグラフィと異方性エッティングによりパターン化し、図4(b)に示すように、n<sup>+</sup>型多結晶シリコンからなるエミッタ・コンタクト18を形成する。このエミッタ・コンタクト18の底部は、BSG層13のエミッタ用開口103を通じてエミッタ領域11と接触しているが、外部ベース領域14とBSG層13とは接触していない。この時の状態は、図4(b)に示す通りである。

【01117】次に、図1に示すように、CVD法により、酸化シリコン層19をBSG層13上に形成する。この酸化シリコン層19は、エミッタ・コンタクト18を覆っている。そして、フォトリソグラフィと異方性ドライエッティングにより、酸化シリコン層19の所定箇所にエミッタ電極20a、ベース電極20b、コレクタ電極20cの接続用の開口104、105、106を形成する。

【01118】最後に、スパッタ法により、開口104、105、106を形成した酸化シリコン層19の表面にアルミニウム合金層（図示せず）を形成した後、フォトリソグラフィとドライエッティングによりそのアルミニウム合金層をパターン化し、エミッタ電極20a、ベース電極20b、コレクタ電極20cを形成する。エミッタ電極20aは、開口104を介してエミッタ・コンタクト18に接触し、ベース電極20bは、開口105を介してベース・コンタクト102に接触し、コレクタ電極20cは、開口106を介してコレクタ・コンタクト領域5に接触している。

【01119】以上の工程により、図1に示す第1実施形態の半導体装置が完成する。

【0120】この製造方法によれば、自己整合的に形成されたヘテロ接合バイポーラトランジスタを備えた本発明の第1実施形態の半導体装置が得られる。

【0121】(第2実施形態)

【構成】図5は、本発明の第2実施形態の半導体装置の部分断面図を示す。この半導体装置の平面形状は、第1実施形態のものと実質的に同じである。

【0122】図5の半導体装置は、第1実施形態と同様に、ベース・エミッタ間とベース・コレクタ間にヘテロ接合を持つn p n型バイポーラ・トランジスタが形成されたシリコン基体100を備えている。この基体100は、図1に示した第1実施形態の半導体装置のシリコン基体と同じ構成を持つので、図5において図1と同一または対応する要素には同じ符号を付してその説明を省略する。

【0123】基体100の表面、換言すればエピタキシャル層3の表面は、酸化シリコン層36で覆われている。酸化シリコン層36には、それを貫通する略矩形のベース・エミッタ用開口131が形成されており、その開口131から基体100の表面が露出している。開口131は、基体100に形成されたコレクタ領域16にほぼ同心となるように重なっている。換言すれば、コレクタ領域16は、酸化シリコン層36を貫通する開口131のほぼ中心に位置しており、コレクタ領域16の全体が開口131内にある。

【0124】酸化シリコン層36の上には、p<sup>+</sup>型多結晶シリコン層37が選択的に形成されている。p<sup>+</sup>型多結晶シリコン層37はベース・コンタクト102の一部を形成するので、開口131の近傍にのみ且つ開口131を囲むように形成されている。多結晶シリコン層37には、それを貫通する略矩形の・エミッタ用開口133が形成されている。その開口133は、酸化シリコン層36の開口131とほぼ同心となるように配置されている。開口133の面積が開口131の面積より小さいので、p<sup>+</sup>型多結晶シリコン層37は開口131の上にせり出している。

【0125】p<sup>+</sup>型多結晶シリコン層37の上には、窒化シリコン層38が形成されている。この窒化シリコン層38は、多結晶シリコン層37の表面だけでなく、開口133内にある多結晶シリコン層37の側面も覆っている。従って、開口133の内部において、窒化シリコン層38はp<sup>+</sup>型多結晶シリコン層37よりも内側にせり出している。酸化シリコン層36のp<sup>+</sup>型多結晶シリコン層37の形成されない表面も、窒化シリコン層38で覆われている。

【0126】酸化シリコン層36の開口131の内部では、基体100の表面にp<sup>+</sup>型単結晶SiGe層からなる真性ベース領域39が形成されている。この真性ベース領域39は、開口131から露出した基体100の表面の全体を覆っている。また、この真性ベース領域39

は、その下部に位置し相対的に高い不純物濃度の第1部分39aと、その上部に位置し相対的に低い不純物濃度の第2部分39bとから構成される。第1部分39aは、その下縁から上縁までGe濃度がほぼ同一の濃度プロファイルを持つが、第2部分39bは、その下縁から上縁に向かってGe濃度が徐々に減少する傾斜濃度プロファイルを有している。

【0127】p<sup>+</sup>型単結晶SiGeからなる真性ベース領域39の上には、n型単結晶シリコンからなるエミッタ領域11と、p<sup>+</sup>型単結晶シリコンからなる外部ベース領域44と、ベースコンタクト102の一部をなすp<sup>+</sup>型多結晶シリコン層45と、ベースコンタクト102の他の一部をなすp<sup>+</sup>型多結晶SiGe層40とが形成されている。エミッタ領域11は、開口131の中央においてコレクタ領域16に重なるように配置され、その全周を外部ベース領域44によって囲まれている。エミッタ領域11の平面形状は略矩形で、外部ベース領域44の平面形状は略矩形枠状である。外部ベース領域44は、その全周を略矩形枠状の平面形状を持つp<sup>+</sup>型多結晶シリコン層45によって囲まれている。p<sup>+</sup>型多結晶シリコン層45は、その全周を略矩形枠状の平面形状を持つp<sup>+</sup>型多結晶SiGe層40によって囲まれている。

【0128】エミッタ領域41と外部ベース領域44は、同一の単結晶シリコン層の中央部と周辺部からそれぞれ形成されている。外部ベース領域44は、n型の単結晶シリコン層の周辺部にp型不純物を選択的にドープすることにより形成され、p型不純物をドープされない中心部がエミッタ領域41となる。

【0129】p<sup>+</sup>型多結晶SiGe層40は、真性ベース領域39の周辺部上に位置し、開口131の内壁面に沿って延在している。このp<sup>+</sup>型多結晶SiGe層40の底面は真性ベース領域39に接触し、その外側面は開口131の内壁面に接触し、その上面はp<sup>+</sup>型多結晶シリコン層37の下面と窒化シリコン層38の開口131上にせり出した部分の下面に接触している。

【0130】p<sup>+</sup>型多結晶シリコン層45は、p<sup>+</sup>型多結晶GeSi層40と外部ベース領域44の間に位置している。p<sup>+</sup>型多結晶シリコン層45の傾斜した底面は外部ベース領域44に接触し、その外側面はp<sup>+</sup>型多結晶SiGe層40の内側面に接触し、その上面は窒化シリコン層38の開口131上にせり出した部分の下面に接触している。

【0131】外部ベース領域44は、真性ベース領域39に電気的に接続されているだけでなく、p<sup>+</sup>型多結晶シリコン層45を介してp<sup>+</sup>型多結晶SiGe層40に電気的に接続され、さらにp<sup>+</sup>型多結晶シリコン層37に電気的に接続されている。真性ベース領域39は、p<sup>+</sup>型多結晶SiGe層40を介してp<sup>+</sup>型多結晶シリコン層37に電気的に接続されている。

【0132】真性ベース領域39に接触するp<sup>+</sup>型多結晶SiGe層40と、外部ベース領域44に接触するp<sup>+</sup>型多結晶シリコン層45と、酸化シリコン層36上のp<sup>+</sup>型多結晶シリコン層37とが、ベース・コンタクト102を構成する。

【0133】エミッタ領域41の上には、n<sup>+</sup>型多結晶シリコンからなるエミッタ・コンタクト48が形成されている。エミッタ・コンタクト48の底部は、エミッタ領域41に接触し、その頂部は窒化シリコン層38の上に突出している。外部ベース領域44とエミッタ・コンタクト48と窒化シリコン層38に囲まれた領域には、BSG層43と、酸化物側壁としての酸化シリコン層47が形成されている。BSG層43は、酸化シリコン層47と外部ベース領域44だけでなく、p<sup>+</sup>型多結晶シリコン層45と窒化シリコン層38にも接触している。酸化シリコン層47は、エミッタ領域41と外部ベース領域44とエミッタ・コンタクト48に接触している。

【0134】窒化シリコン層38の上には、エミッタ・コンタクト48を覆うように酸化シリコン層19が形成されている。酸化シリコン層19の上には、エミッタ電極20a、ベース電極20b、およびコレクタ電極20cが形成されている。エミッタ電極20aは、エミッタコンタクト48とエミッタ領域41の直上に位置している。ベース電極20bは、コレクタ電極20cから遠い側においてベース・コンタクト102の直上に位置している。コレクタ電極20cは、コレクタ領域5の直上に位置している。

【0135】エミッタ電極20aは、酸化シリコン層19に形成された開口134を介してエミッタ・コンタクト48に接触し、それによってエミッタ・コンタクト領域48を介してその下方のエミッタ領域41に電気的に接続されている。

【0136】ベース電極20bは、酸化シリコン層19と窒化シリコン層38を貫通する開口135を介してその下方のベース・コンタクト102に接触し、それによってベース・コンタクト102を介して、またベース・コンタクト102と外部ベース領域14とを介して、ベース用開口101内にある真性ベース領域39に電気的に接続されている。

【0137】コレクタ電極20cは、酸化シリコン層36、19および窒化シリコン層38を貫通する開口136を介して下方のコレクタ・コンタクト領域5に接触し、それによってコレクタ・コンタクト領域5とコレクタ埋込層2aを介してコレクタ領域16に電気的に接続されている。

【0138】以上説明したように、本発明の第2実施形態の半導体装置では、エミッタ領域41がn型単結晶シリコンからなり、そのエミッタ領域41と接触する真性ベース領域39と外部ベース領域44とがそれぞれp<sup>+</sup>型単結晶SiGeとp<sup>+</sup>型単結晶シリコンからなってい

る。また、真性ベース領域39のp型不純物濃度は、エミッタ領域41のn型不純物濃度よりも高い。従って、当該半導体装置のヘテロ接合バイポーラトランジスタは、本来の低ベース抵抗、高電流増幅率という特徴を持つ。

【0139】また、エミッタ領域41と真性ベース領域39のp-nヘテロ接合だけでなく、エミッタ領域41と外部ベース領域44のp-nホモ接合にも多結晶部分は存在しないため、エミッタ領域41からベース領域39と44に注入される電子が正孔との再結合によって生成する再結合電流は、低く抑えられる。

【0140】その結果、当該n-p-n型バイポーラトランジスタの遮断周波数f<sub>T</sub>の低下が防止される。しかも、ベース・コレクタ容量も低く抑えられる。

【製造方法】図6～図9は、以上の構成を持つ本発明の第2実施形態の半導体装置の製造方法の各工程を示す部分断面図である。

【0141】まず、図6(a)に示すシリコン基板100を作製する。その作製方法は、図2(a)に示した第1実施形態の半導体装置の場合と同じであるため、ここではその説明を省略する。

【0142】続いて、図6(a)に示すように、基板100の表面に、厚さ100nmの酸化シリコン層36を形成する。この酸化シリコン層36の厚さは、真性ベース領域の厚さの(1/2)程度とするのが好ましい。その酸化シリコン層36の上に、CVD法を用いて厚さ150～350nm(ここでは250nm)の多結晶シリコン層37を堆積させる。続いて、イオン注入法により多結晶シリコン層37にボロンを導入し、その導電型をp<sup>+</sup>型に変更する。イオン注入の条件としては、多結晶シリコン層37を突き抜けない程度の加速エネルギーとし、多結晶シリコン層37の不純物濃度が約1×10<sup>20</sup>cm<sup>-3</sup>となる程度のドーズ量とする。この例では、加速エネルギー10keV、ドーズ量1×10<sup>16</sup>cm<sup>-2</sup>である。

【0143】こうしてp<sup>+</sup>型となった多結晶シリコン層37の上にパターン化されたフォトレジスト膜(図示せず)を形成した後、そのフォトレジスト膜をマスクとして、公知の異方性ドライエッチング法により多結晶シリコン層37を選択的に除去する。こうして、図6(a)に示すように、ベース・コンタクト102を形成すべき箇所にp<sup>+</sup>型多結晶シリコン層37を残すと共に、p<sup>+</sup>型多結晶シリコン層37を貫通する開口133を形成する。

【0144】マスクとして用いたフォトレジスト膜を除去した後、LPCVD法を用いて厚さ300nmの窒化シリコン層38を堆積する。この窒化シリコン層38は、p<sup>+</sup>型多結晶シリコン層37とそこから露出した酸化シリコン層36を覆っている。この時の状態を図6(b)に示す。

【0145】その後、フォトリソグラフィによりパターン化されたフォトレジスト膜をマスクとして、異方性ドライエッティングを行い、窒化シリコン層38に開口を形成する。こうして形成した窒化シリコン層38の開口を利用して、HF系の溶液を用いて下方にある酸化シリコン層36をウェットエッティングし、エピタキシャル層3を露出させる。このウェットエッティングは等方性であるので、酸化シリコン層36は垂直方向（下方）だけでなく水平方向（外方）にもエッティングが行われ、その結果、酸化シリコン層36に形成される開口131の面積は、 $p^+$ 型多結晶シリコン層37に形成された開口133の面積より大きくなり、 $p^+$ 型多結晶シリコン層37が開口131の上に底状にせり出す形状（いわゆる、オーバーハング形状）が実現される。この時の状態を図7(a)に示す。

【0146】次に、以下のようにして、 $p^+$ 型単結晶SiGeからなる真性ベース領域39と $p^+$ 型多結晶SiGe層40を、図7(b)に示すように形成する。

【0147】まず、選択的エピタキシャル成長法を用いて、アンドープのSiGe合金層を結晶成長させる。具体的には、LPCVD法、ガスソースMBE法、UHV/CVD法などを使用できる。ここではUHV/CVD法を使用する。成長条件は、例えば、基板温度が605°C、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとCl<sub>2</sub>ガスの流量がそれぞれ3sccm、2sccm、0.03sccmである。

【0148】この結晶成長工程により、開口131から露出するn<sup>-</sup>型シリコン・エピタキシャル層3の表面から上方にアンドープの単結晶SiGeが成長し、そこにアンドープの単結晶SiGe層39aが形成される。それと同時に、 $p^+$ 型多結晶シリコン層37の開口131内部にせり出した表面から水平方向内方にアンドープの多結晶SiGeが成長し、そこにアンドープ多結晶SiGe層40a形成される。アンドープ単結晶SiGe層39aの上面の外周部とアンドープ多結晶SiGe層40aの下面とは、開口101の内壁の近傍で互いに接続される。

【0149】アンドープの単結晶SiGe層39aとアンドープ多結晶SiGe層40aのGe濃度は、例えば約10%である。これらSiGe層39aと40aの層厚は、例えば約25nmであるが、後の工程で行われる熱処理により欠陥が発生しない範囲で、これらの層の厚さは大きくすることができる。

【0150】続いて、UHV/CVD法を用いて、 $p^+$ 型SiGeを選択的に結晶成長させる。ここでは、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガス流量とGeH<sub>4</sub>ガス流量とを調整しながら結晶を成長させる。ドーピング・ガスとしてはB<sub>2</sub>H<sub>6</sub>ガスを使用する。成長条件は、例えば、基板温度が605°C、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとCl<sub>2</sub>ガスの流量がそれぞれ3sccm、

2sccm、0.03sccm、ドーピングガスとしてのB<sub>2</sub>H<sub>6</sub>ガス（10%に希釈）の流量が5sccmである。

【0151】この結晶成長では、アンドープSiGeの場合と同様に $p^+$ 型SiGeが成長するので、アンドープ単結晶SiGe層39aの上に $p^+$ 型単結晶SiGe層39bが形成され、アンドープ多結晶SiGe層40aの内面に $p^+$ 型多結晶SiGe層40bが形成される。 $p^+$ 型単結晶SiGe層39bの外周縁と $p^+$ 型多結晶SiGe層40bの内周縁とは、アンドープ単結晶SiGe層39aとアンドープ多結晶SiGe層40aの接続部の近傍で互いに接続される。

【0152】上記の条件下で結晶を成長させることにより、 $p^+$ 型単結晶SiGe層39bのGe濃度に傾斜プロファイルを持たせることができる。この例では、結晶の成長方向（すなわち基板1から上方）に向かってGeの濃度が10%から0%まで直線的に変化するようなプロファイルとする。また、 $p^+$ 型単結晶SiGe層39bと $p^+$ 型多結晶SiGe層40bの厚さとボロンの含有量は、それぞれ例えば40nm、 $5 \times 10^{19} \text{ cm}^{-3}$ である。この時の状態を図7(b)に示す。

【0153】その後、850°Cで20分間の熱処理を行うと、 $p^+$ 型多結晶シリコン層37からアンドープ多結晶SiGe層40aにボロンが拡散し、 $p^+$ 型となる。その結果、 $p^+$ 型多結晶SiGe層40aは $p^+$ 型多結晶SiGe層40bと一緒に $p^+$ 型多結晶SiGe層40が形成される。また、それと同時に、 $p^+$ 型単結晶SiGe層39bからアンドープ単結晶SiGe層39aへのボロンの拡散が行われ、アンドープ単結晶SiGe層39aも $p^+$ 型となる。こうして、全体が $p^+$ 型単結晶SiGeからなる真性ベース領域39が形成される。

【0154】さらに、UHV/CVD法により、基板温度605°C、ソースガスSi<sub>2</sub>H<sub>6</sub>（ガス流量3sccm）、ドーピング・ガスPH<sub>3</sub>として、n型シリコンをエピタキシャル成長させる。この結晶成長により、図8(a)に示すように、真性ベース領域39の表面にはn型単結晶シリコン層41aが形成され、 $p^+$ 型多結晶SiGe層40の内面にはn型多結晶シリコン層42が形成される。n型単結晶シリコン層41aの外周縁とn型多結晶シリコン層42の下縁とは、真性ベース領域39と $p^+$ 型多結晶SiGe層40の接続部の近傍で互いに接続される。n型単結晶シリコン層41aおよびn型多結晶シリコン層42のリン濃度は、例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ である。それらの層厚は、例えば30nmである。この時の状態を図8(a)に示す。

【0155】次に、LPCVD法を用いて厚さ100nmのBSG層43を堆積させる。このBSG層43は、窒化シリコン層38だけでなくn型単結晶シリコン層41aをも覆うように形成される。

【0156】このBSG層43のボロン含有量は、5～12mo1%とするのが好ましく、この実施形態では10mo1%とする。ボロン含有量が5mo1%未満の場合、後の熱処理工程におけるボロン拡散の効率が低下するため、熱処理の温度が高くなるだけでなく処理時間も長くなるからである。他方、BSG層43中に12mo1%を超えるボロンを含有させることは困難であるからである。

【0157】さらに、パターン化されたフォトレジストをマスクとして異方性ドライエッティングを行うと、図8(b)に示すように、開口133の内側にのみBSG層43が残る。この時の状態を図8(b)に示す。

【0158】引き続いて、800℃で15分間の熱処理を行い、n型単結晶シリコン層11aとBSG層43との接触面を介して、BSG層43内のボロンをn型単結晶シリコン層41aに拡散させる。このボロン拡散によりn型単結晶シリコン層41aは部分的にp<sup>+</sup>型に変わり、その箇所にp<sup>+</sup>型単結晶シリコン層44が形成される。p<sup>+</sup>型単結晶シリコン層44は外部ベース領域として動作する。n型単結晶シリコン層41aのボロンの注入されない部分は、n型単結晶シリコン層からなるエミッタ領域41となる。また、それと同時に、n型多結晶シリコン層42にもBSG層43からボロンが拡散・注入され、n型多結晶シリコン層42の全体がp<sup>+</sup>型に変わる。その結果、p<sup>+</sup>型多結晶シリコン層45が形成される。この時の状態は図9(a)に示すようになる。

【0159】次に、BSG層43をマスクとして、n<sup>-</sup>型シリコン・エピタキシャル層3に燐を選択的にイオン注入し、n<sup>-</sup>型シリコン・エピタキシャル層3内の真性ベース9の直下に位置する箇所に、自己整合的にn型コレクタ領域16を形成する。この場合のイオン注入の条件は、例えば、加速エネルギー200keV、ドーズ量4×10<sup>12</sup>cm<sup>-2</sup>である。

【0160】その後、LPCVDにより、窒化シリコン層38とそれより露出するエミッタ領域41、外部ベース領域44、BSG層43の上に酸化シリコン層(図示せず)を堆積させてから、その酸化シリコン層を異方性ドライエッティングによりエッチバックし、開口133の内部のBSG層43の表面にのみ選択的に残す。こうして、図9(b)に示すように、酸化シリコンよりなる酸化物側壁47を形成する。

【0161】続いて、LPCVD法により、窒化シリコン層38上に基板1の全面にわたって、燐がドープされた多結晶シリコン層(図示せず)を約250nmの厚さに堆積する。その後、その多結晶シリコン層をフォトリソグラフィと異方性エッティングによりパターン化し、図9(b)に示すように、n<sup>+</sup>型多結晶シリコンからなるエミッタ・コンタクト48を形成する。このエミッタ・コンタクト48の底部は、その下方のエミッタ領域11と接触しているが、外部ベース領域44とBSG層43

とは接触していない。この時の状態は、図9(b)に示す通りである。

【0162】次に、図5に示すように、CVD法により、酸化シリコン層19をBSG層13上に形成する。この酸化シリコン層19は、エミッタ・コンタクト48を覆っている。そして、フォトリソグラフィと異方性ドライエッティングにより、酸化シリコン層19の所定箇所にエミッタ電極20a、ベース電極20b、コレクタ電極20cの接続用の開口134、135、136を形成する。

【0163】最後に、スパッタ法により、開口134、135、136を形成した酸化シリコン層19の表面にアルミニウム合金層(図示せず)を形成した後、フォトリソグラフィとドライエッティングによりそのアルミニウム合金層をパターン化し、エミッタ電極20a、ベース電極20b、コレクタ電極20cを形成する。エミッタ電極20aは、開口134を介してエミッタ・コンタクト48に接触し、ベース電極20bは、開口135を介してベース・コンタクト102に接触し、コレクタ電極20cは、開口136を介してコレクタ・コンタクト領域5に接触している。

【0164】以上の工程により、図5に示す第2実施形態の半導体装置が完成する。

【0165】この製造方法によれば、自己整合的に形成されたヘテロ接合バイポーラトランジスタを備えた本発明の第2実施形態の半導体装置が得られる。

#### 【0166】(第3実施形態)

【構成】図10は、本発明の第3実施形態の半導体装置の部分断面図を示す。この半導体装置の平面形状は、第1実施形態のものと実質的に同じである。

【0167】図10の半導体装置は、第1および第2の実施形態と同様に、ベース・エミッタ間とベース・コレクタ間にヘテロ接合を持つn p n型バイポーラ・トランジスタが形成されたシリコン基体100を備えている。この基体100は、図1に示した第1実施形態の半導体装置のシリコン基体と同じ構成を持つので、図10において図1と同一または対応する要素には同じ符号を付してその説明を省略する。

【0168】基体100の表面、換言すればエピタキシャル層3の表面は、酸化シリコン層36で覆われている。酸化シリコン層36には、それを貫通する略矩形のベース・エミッタ用開口131が形成されており、その開口131から基体100の表面が露出している。開口131は、基体100に形成されたコレクタ領域16にほぼ同心となるように重なっている。換言すれば、コレクタ領域16は、酸化シリコン層36を貫通する開口131のほぼ中心に位置しており、コレクタ領域16の全体が開口131内にある。

【0169】酸化シリコン層36の上には、p<sup>+</sup>型多結晶シリコン層37が選択的に形成されている。p<sup>+</sup>型多

結晶シリコン層37はベース・コンタクト102の一部を形成するので、開口131の近傍にのみ且つ開口131を囲むように形成されている。 $p^+$ 型多結晶シリコン層37の上には、窒化シリコン層58が形成されている。酸化シリコン層36の $p^+$ 型多結晶シリコン層37の形成されない表面も、窒化シリコン層58で覆われている。

【0170】酸化シリコン層36の開口131とほぼ同心となるように、 $p^+$ 型多結晶シリコン層37と窒化シリコン層58を貫通する略矩形の開口153が形成されている。窒化シリコン層58は、第2実施形態の場合とは異なり、多結晶シリコン層37の表面だけを覆っている。従って、窒化シリコン層58は $p^+$ 型多結晶シリコン層37と同じ位置に内周縁を有している。

【0171】酸化シリコン層36の開口131の内部では、基体100の表面に $p^+$ 型単結晶SiGe層からなる真性ベース領域39が形成されている。この真性ベース領域39は、開口131から露出した基体100の表面の全体を覆っている。また、この真性ベース領域39は、その下部に位置し相対的に高い不純物濃度の第1部分39aと、その上部に位置し相対的に低い不純物濃度の第2部分39bとから構成される。第1部分39aは、その下縁から上縁までGe濃度がほぼ同一の濃度プロファイルを持つが、第2部分39bは、その下縁から上縁に向かってGe濃度が徐々に減少する傾斜濃度プロファイルを有している。この構成は、第2実施形態と実質的に同じである。

【0172】 $p^+$ 型単結晶SiGeからなる真性ベース領域39の上には、n型単結晶シリコンからなるエミッタ領域41と、 $p^+$ 型単結晶シリコンからなる外部ベース領域44と、ベースコンタクト102の一部をなす $p^+$ 型多結晶シリコン層55と、ベースコンタクト102の他の一部をなす $p^+$ 型多結晶SiGe層50とが形成されている。エミッタ領域41は、開口131の中央においてコレクタ領域16に重なるように配置され、その全周を外部ベース領域44によって囲まれている。エミッタ領域41の平面形状は略矩形で、外部ベース領域44の平面形状は略矩形枠状である。外部ベース領域44は、その全周を略矩形枠状の平面形状を持つ $p^+$ 型多結晶シリコン層55によって囲まれている。 $p^+$ 型多結晶シリコン層55は、そのほぼ全周を略矩形枠状の平面形状を持つ $p^+$ 型多結晶SiGe層50によって囲まれている。

【0173】エミッタ領域41と外部ベース領域44は、同一の単結晶シリコン層の中央部と周辺部からそれぞれ形成されている。外部ベース領域44は、n型の単結晶シリコン層の周辺部にp型不純物を選択的にドープすることにより形成され、p型不純物をドープされない中心部がエミッタ領域41となる。

【0174】 $p^+$ 型多結晶SiGe層50は、真性ベ-

ス領域39の周辺部上に位置し、開口131の内壁面に沿って延在している。この $p^+$ 型多結晶SiGe層50の底面は真性ベース領域39に接触し、その外側面は開口131の内壁面に接触し、その上面は $p^+$ 型多結晶シリコン層37の開口131上にせり出した部分の下面と内側面に接触している。

【0175】 $p^+$ 型多結晶シリコン層55は、 $p^+$ 型多結晶GeSi層50と外部ベース領域44の間に位置している。 $p^+$ 型多結晶シリコン層55の傾斜した底面は外部ベース領域44に接触し、その外側面は $p^+$ 型多結晶SiGe層50の内側面に接触し、その上面は後述する側壁としての酸化シリコン層47に接触している。

【0176】外部ベース領域44は、真性ベース領域39に電気的に接続されているだけでなく、 $p^+$ 型多結晶シリコン層55を介して $p^+$ 型多結晶SiGe層50に電気的に接続され、さらに $p^+$ 型多結晶シリコン層37に電気的に接続されている。真性ベース領域39は、 $p^+$ 型多結晶SiGe層50を介して $p^+$ 型多結晶シリコン層37に電気的に接続されている。

【0177】真性ベース領域39に接する $p^+$ 型多結晶SiGe層50と、外部ベース領域44に接する $p^+$ 型多結晶シリコン層55と、酸化シリコン層36上の $p^+$ 型多結晶シリコン層37とが、ベース・コンタクト102を構成する。

【0178】エミッタ領域41の上には、 $n^+$ 型多結晶シリコンからなるエミッタ・コンタクト48が形成されている。エミッタ・コンタクト48の底部は、エミッタ領域41に接する、その頂部は窒化シリコン層58の上に突出している。外部ベース領域44とエミッタ・コンタクト48と窒化シリコン層58に囲まれた領域には、BSG層43と、酸化物側壁としての酸化シリコン層47が形成されている。BSG層43は、酸化シリコン層47と外部ベース領域44だけでなく、 $p^+$ 型多結晶シリコン層55と窒化シリコン層58にも接觸している。酸化シリコン層47は、エミッタ領域41と外部ベース領域44とエミッタ・コンタクト48に接触している。

【0179】窒化シリコン層58の上には、エミッタ・コンタクト48を覆うように酸化シリコン層19が形成されている。酸化シリコン層19の上には、エミッタ電極20a、ベース電極20b、およびコレクタ電極20cが形成されている。エミッタ電極20aは、エミッタコンタクト48とエミッタ領域41の直上に位置している。ベース電極20bは、コレクタ電極20cから遠い側においてベース・コンタクト102の直上に位置している。コレクタ電極20cは、コレクタ領域5の直上に位置している。

【0180】エミッタ電極20aは、酸化シリコン層19に形成された開口154を介してエミッタ・コンタクト48に接觸し、それによってエミッタ・コンタクト領域48を介してその下方のエミッタ領域41に電気的に

接続されている。

【0181】ベース電極20bは、酸化シリコン層19と窒化シリコン層58を貫通する開口155を介してその下方のベース・コンタクト102に接触し、それによってベース・コンタクト102を介して、またベース・コンタクト102と外部ベース領域14とを介して、ベース用開口101内にある真性ベース領域39に電気的に接続されている。

【0182】コレクタ電極20cは、酸化シリコン層36、19および窒化シリコン層58を貫通する開口156を介して下方のコレクタ・コンタクト領域5に接触し、それによってコレクタ・コンタクト領域5とコレクタ埋込層2aを介してコレクタ領域16に電気的に接続されている。

【0183】以上説明したように、本発明の第3実施形態の半導体装置では、エミッタ領域41がn型単結晶シリコンからなり、そのエミッタ領域41と接触する真性ベース領域39と外部ベース領域44とがそれぞれp<sup>+</sup>型単結晶SiGeとp<sup>+</sup>型単結晶シリコンからなっている。また、真性ベース領域39のp型不純物濃度は、エミッタ領域41のn型不純物濃度よりも高い。従って、当該半導体装置のヘテロ接合バイポーラトランジスタは、本来の低ベース抵抗、高電流増幅率という特徴を持つ。

【0184】また、エミッタ領域41と真性ベース領域39のp-nヘテロ接合だけでなく、エミッタ領域41と外部ベース領域44のp-nホモ接合にも多結晶部分は存在しないため、エミッタ領域41からベース領域39と44に注入される電子が正孔との再結合によって生成する再結合電流は、低く抑えられる。

【0185】その結果、当該n-p-n型バイポーラトランジスタの遮断周波数f<sub>T</sub>の低下が防止される。しかも、ベース・コレクタ容量も低く抑えられる。

【製造方法】図11～図14は、以上の構成を持つ本発明の第3実施形態の半導体装置の製造方法の各工程を示す部分断面図である。

【0186】まず、図11(a)に示すシリコン基体100を作製する。その作製方法は、図2(a)に示した第1実施形態の半導体装置の場合と同じであるため、ここではその説明を省略する。

【0187】続いて、図11(b)に示すように、基体100の表面に、厚さ100nmの酸化シリコン層36を形成する。この酸化シリコン層36の厚さは、真性ベース領域の厚さの(1/2)程度とするのが好ましい。その酸化シリコン層36の上に、CVD法を用いて厚さ150～350nm(ここでは250nm)の多結晶シリコン層37を堆積させる。続いて、イオン注入法により多結晶シリコン層37にボロンを導入し、その導電型をp<sup>+</sup>型に変更する。イオン注入の条件としては、多結晶シリコン層37を突き抜けない程度の加速エネルギー

とし、多結晶シリコン層37の不純物濃度が約1×10<sup>20</sup>cm<sup>-3</sup>となる程度のドーズ量とする。この例では、加速エネルギー10keV、ドーズ量1×10<sup>16</sup>cm<sup>-2</sup>である。

【0188】こうしてp<sup>+</sup>型となった多結晶シリコン層37の上に、パターン化されたフォトレジスト膜(図示せず)を形成した後、そのフォトレジスト膜をマスクとして、公知の異方性ドライエッチング法により多結晶シリコン層37を選択的に除去する。こうして、ベース・コンタクト102を形成すべき箇所にp<sup>+</sup>型多結晶シリコン層37を残す。

【0189】次に、こうしてパターン化されたp<sup>+</sup>型多結晶シリコン層37の上に、LPCVD法を用いて厚さ300nmの窒化シリコン層58を堆積する。この窒化シリコン層58は、p<sup>+</sup>型多結晶シリコン層37とそこから露出した酸化シリコン層36を覆っている。

【0190】その後、窒化シリコン層58の表面に、フォトリソグラフィによりパターン化されたフォトレジスト膜を形成する。そして、このフォトレジスト膜をマスクとして窒化シリコン層58とp<sup>+</sup>型多結晶シリコン層37の異方性ドライエッチングを行い、図11(b)に示すような、窒化シリコン層58とp<sup>+</sup>型多結晶シリコン層37を貫通する開口153を形成する。

【0191】さらに、こうして形成した窒化シリコン層58の開口を利用して、HF系の溶液を用いて下方にある酸化シリコン層36をウェットエッチングし、エピタキシャル層3を露出させる。このウェットエッチングは等方性であるので、酸化シリコン層36は垂直方向(下方)だけでなく水平方向(外方)にもエッチングが行われ、その結果、酸化シリコン層36に形成される開口131の面積は、p<sup>+</sup>型多結晶シリコン層37と窒化シリコン層58に形成された開口153の面積より大きくなり、p<sup>+</sup>型多結晶シリコン層37と窒化シリコン層58が開口131の上に庇状にせり出す形状(いわゆる、オーバーハング形状)が実現される。この時の状態を図11(b)に示す。

【0192】次に、以下のようにして、p<sup>+</sup>型単結晶SiGeからなる真性ベース領域39とp<sup>+</sup>型多結晶SiGe層50を、図12(a)に示すように形成する。

【0193】まず、選択的エピタキシャル成長法を用いて、アンドープのSiGe合金層を結晶成長させる。具体的には、LPCVD法、ガスソースMBE法、UHV/CVD法などを使用できる。ここではUHV/CVD法を使用する。成長条件は、基板温度605℃、Si<sub>2</sub>H<sub>6</sub>ガス流量3sccm、GeH<sub>4</sub>ガス流量2sccmである。

【0194】この結晶成長工程により、開口131から露出するn<sup>-</sup>型シリコン・エピタキシャル層3の表面から上方にアンドープの単結晶SiGeが成長し、そこにアンドープの単結晶SiGe層39aが形成される。そ

れと同時に、 $p^+$ 型多結晶シリコン層37の開口131内部にせり出した部分から下方および水平方向内方にアンドープの多結晶SiGeが成長し、そこにアンドープ多結晶SiGe層50aが形成される。アンドープ単結晶SiGe層39aの上面の外周部とアンドープ多結晶SiGe層50aの下面とは、開口101の内壁の近傍では互いに接続されない。

【0195】アンドープの単結晶SiGe層39aとアンドープ多結晶SiGe層50aのGe濃度は、例えば約10%である。これらSiGe層39aと50aの層厚は、例えば約25nmであるが、後の工程で行われる熱処理により欠陥が発生しない範囲で、これらの層の厚さは大きくすることができる。

【0196】続いて、UHV/CVD法を用いて、 $p^+$ 型SiGeを選択的に結晶成長させる。ここでは、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガス流量とGeH<sub>4</sub>ガス流量とを調整しながら結晶を成長させる。ドーピング・ガスとしてはB<sub>2</sub>H<sub>6</sub>ガスを使用する。成長条件は、例えば、基板温度が605°C、ソースガスとしてのSi<sub>2</sub>H<sub>6</sub>ガスとGeH<sub>4</sub>ガスとCl<sub>2</sub>ガスの流量がそれぞれ3sccm、2sccm、0.03sccm、ドーピングガスとしてのB<sub>2</sub>H<sub>6</sub>ガス(10%に希釈)の流量が5sccmである。

【0197】この結晶成長では、アンドープSiGeの場合と同様に $p^+$ 型SiGeが成長するので、アンドープ単結晶SiGe層39aの上に $p^+$ 型単結晶SiGe層39bが形成され、それと同時にアンドープ多結晶SiGe層50aの外面に $p^+$ 型多結晶SiGe層50bが形成される。 $p^+$ 型多結晶SiGe層50bの下縁は、開口101の底部周縁の近傍でアンドープ単結晶SiGe層39aと $p^+$ 型単結晶SiGe層39bの外周縁に接続される。

【0198】上記の条件下で結晶を成長させることにより、 $p^+$ 型単結晶SiGe層39bのGe濃度に傾斜プロファイルを持たせることができる。この例では、結晶の成長方向(すなわち基板1から上方)に向かってGeの濃度が10%から0%まで直線的に変化するようなプロファイルとする。また、 $p^+$ 型単結晶SiGe層39bと $p^+$ 型多結晶SiGe層40bの厚さとボロンの含有量は、それぞれ例えば40nm、 $5 \times 10^{19} \text{ cm}^{-3}$ である。この時の状態を図12(a)に示す。

【0199】その後、850°Cで20分間の熱処理を行うと、 $p^+$ 型多結晶シリコン層37からアンドープ多結晶SiGe層50aにボロンが拡散し、 $p^+$ 型となる。その結果、 $p^+$ 型多結晶SiGe層50aは $p^+$ 型多結晶SiGe層50bと一体となって、図12(b)に示すように、 $p^+$ 型多結晶SiGe層50が形成される。また、それと同時に、 $p^+$ 型単結晶SiGe層39bからアンドープ単結晶SiGe層39aへのボロンの拡散が行われ、アンドープ単結晶SiGe層39aも $p^+$ 型と

なる。こうして、図12(b)に示すように、全体が $p^+$ 型単結晶SiGeからなる真性ベース領域39が形成される。

【0200】さらに、UHV/CVD法により、基板温度605°C、ソースガスSi<sub>2</sub>H<sub>6</sub>(ガス流量3sccm)、ドーピング・ガスPH<sub>3</sub>として、n型シリコンをエピタキシャル成長させる。この結晶成長により、図12(b)に示すように、真性ベース領域39の表面にはn型単結晶シリコン層41aが形成され、 $p^+$ 型多結晶SiGe層50の内面にはn型多結晶シリコン層52が形成される。n型単結晶シリコン層41aの外周縁とn型多結晶シリコン層52の下縁とは、真性ベース領域39と $p^+$ 型多結晶SiGe層50の接続部の近傍で互いに接続される。n型単結晶シリコン層41aおよびn型多結晶シリコン層52のリン濃度は、例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ である。それらの層厚は、例えば30nmである。この時の状態を図12(b)に示す。

【0201】次に、LPCVD法を用いて厚さ100nmのBSG層43を堆積させる。このBSG層43は、窒化シリコン層58だけでなくn型単結晶シリコン層41aをも覆うように形成される。

【0202】このBSG層43のボロン含有量は、5~12mol%とするのが好ましく、この実施形態では10mol%とする。ボロン含有量が5mol%未満の場合、後の熱処理工程におけるボロン拡散の効率が低下するため、熱処理の温度が高くなるだけでなく処理時間も長くなるからである。他方、BSG層43中に12mol%を超えるボロンを含有させることは困難であるからである。

【0203】さらに、パターン化されたフォトレジストをマスクとして異方性ドライエッチングを行うと、図13(a)に示すように、開口133の内側にのみBSG層43が残る。この時の状態を図13(a)に示す。

【0204】引き続いて、800°Cで15分間の熱処理を行い、n型単結晶シリコン層41aとBSG層43との接触面を介して、BSG層43内のボロンをn型単結晶シリコン層41aに拡散させる。このボロン拡散によりn型単結晶シリコン層41aは部分的に $p^+$ 型に変わり、その箇所に $p^+$ 型単結晶シリコン層44が形成される。 $p^+$ 型単結晶シリコン層44は外部ベース領域として動作する。n型単結晶シリコン層41aのボロンの注入されない部分は、n型単結晶シリコン層からなるエミッタ領域41となる。また、それと同時に、n型多結晶シリコン層52にもBSG層43からボロンが拡散・注入され、n型多結晶シリコン層52の全体が $p^+$ 型に変わる。その結果、 $p^+$ 型多結晶シリコン層55が形成される。この時の状態は図13(b)に示すようになる。

【0205】次に、BSG層43をマスクとして、n<sup>-</sup>型シリコン・エピタキシャル層3に燐を選択的にイオン注入し、n<sup>-</sup>型シリコン・エピタキシャル層3内の真性

ベース9の直下に位置する箇所に、自己整合的にn型コレクタ領域16を形成する。この場合のイオン注入の条件は、例えば、加速エネルギー200keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ である。

【0206】その後、LPCVDにより、窒化シリコン層58とそれより露出するエミッタ領域41、外部ベース領域44、BSG層43の上に酸化シリコン層(図示せず)を堆積させてから、その酸化シリコン層を異方性ドライエッチングによりエッチバックし、開口153の内部のBSG層43の表面にのみ選択的に残す。こうして、図14(a)に示すように、酸化シリコンよりなる酸化物側壁47を形成する。

【0207】続いて、LPCVD法により、窒化シリコン層58上に基板1の全面にわたって、燐がドープされた多結晶シリコン層(図示せず)を約250nmの厚さに堆積する。その後、その多結晶シリコン層をフォトリソグラフィと異方性エッチングによりパターン化し、図14(a)に示すように、n<sup>+</sup>型多結晶シリコンからなるエミッタ・コンタクト48を形成する。このエミッタ・コンタクト48の底部は、その下方のエミッタ領域11と接触しているが、外部ベース領域44とBSG層43とは接触していない。この時の状態は、図14(a)に示す通りである。

【0208】次に、図10に示すように、CVD法により、酸化シリコン層19をBSG層43上に形成する。この酸化シリコン層19は、エミッタ・コンタクト48を覆っている。そして、フォトリソグラフィと異方性ドライエッチングにより、酸化シリコン層19の所定箇所にエミッタ電極20a、ベース電極20b、コレクタ電極20cの接続用の開口154、155、156を形成する。

【0209】最後に、スパッタ法により、開口154、155、156を形成した酸化シリコン層19の表面にアルミニウム合金層(図示せず)を形成した後、フォトリソグラフィとドライエッチングによりそのアルミニウム合金層をパターン化し、エミッタ電極20a、ベース電極20b、コレクタ電極20cを形成する。エミッタ電極20aは、開口154を介してエミッタ・コンタクト48に接触し、ベース電極20bは、開口155を介してベース・コンタクト102に接触し、コレクタ電極20cは、開口156を介してコレクタ・コンタクト領域5に接触している。

【0210】以上の工程により、図10に示す第3実施形態の半導体装置が完成する。

【0211】この製造方法によれば、自己整合的に形成されたヘテロ接合バイポーラトランジスタを備えた本発明の第3実施形態の半導体装置が得られる。

【0212】上述した第1～第3の実施形態では、バイポーラトランジスタはいずれもn-p-n型であったが、p-n-p型であってもよいことはもちろんである。この場

合、導電型を逆にすることを除いて、第1～第3の実施形態の場合と同じ不純物濃度に設定すればよい。また、硼素を含んだBSG層に代えて、燐を含んだフォスフォ・シリケート・ガラス(PHOSPHO-SILICATE GLASS, PS-G)を使用すればよい。

【0213】エミッタ領域と外部ベース領域を形成する単結晶半導体層の外部ベース領域に対応する箇所に不純物を導入する工程には、上述した第1～第3の実施形態で説明したものに限定されず、それ以外の任意の方法が適用できることは言うまでもない。

【0214】

【発明の効果】以上説明した通り、本発明の半導体装置およびその製造方法によれば、ベース抵抗の低減と接合容量の低減を同時に達成できるヘテロ接合バイポーラトランジスタを備えた半導体装置が得られる。

【0215】また、電気的特性を向上させたヘテロ接合バイポーラトランジスタを備えた半導体装置が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の半導体装置を示す部分平面図とそのA-A線に沿った部分断面図である。

【図2】本発明の第1実施形態の半導体装置の製造方法の工程を示す部分断面図である。

【図3】本発明の第1実施形態の半導体装置の製造方法の工程を示す部分断面図で、図2の工程の続きである。

【図4】本発明の第1実施形態の半導体装置の製造方法の工程を示す部分断面図で、図3の工程の続きである。

【図5】本発明の第2実施形態の半導体装置を示す部分断面図である。

【図6】本発明の第2実施形態の半導体装置の製造方法の工程を示す部分断面図である。

【図7】本発明の第2実施形態の半導体装置の製造方法の工程を示す部分断面図で、図6の続きである。

【図8】本発明の第2実施形態の半導体装置の製造方法の工程を示す部分断面図で、図7の続きである。

【図9】本発明の第2実施形態の半導体装置の製造方法の工程を示す部分断面図で、図8の続きである。

【図10】本発明の第3実施形態の半導体装置を示す部分断面図である。

【図11】本発明の第3実施形態の半導体装置の製造方法の工程を示す部分断面図である。

【図12】本発明の第3実施形態の半導体装置の製造方法の工程を示す部分断面図で、図11の続きである。

【図13】本発明の第3実施形態の半導体装置の製造方法の工程を示す部分断面図で、図12の続きである。

【図14】本発明の第3実施形態の半導体装置の製造方法の工程を示す部分断面図で、図13の続きである。

【図15】従来の半導体装置を示す部分断面図である。

【図16】従来の他の半導体装置を示す部分断面図である。

【図17】従来のさらに他の半導体装置を示す部分断面図である。

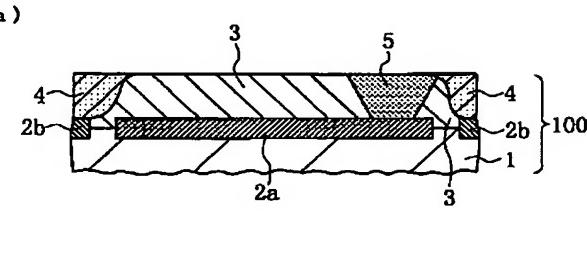
【符号の説明】

- 1 シリコン基板
- 2 a コレクタ埋込層
- 2 b チャネル・ストップ
- 3 エピタキシャル層
- 4 分離絶縁層
- 5 コレクタ・コンタクト領域
- 6 酸化シリコン層
- 7 p<sup>+</sup>型多結晶シリコン層
- 9 真性ベース領域
- 10 p<sup>+</sup>型多結晶SiGe層
- 11 エミッタ領域
- 13 BSG層
- 14 p<sup>+</sup>型単結晶シリコン層
- 15 p<sup>+</sup>型多結晶シリコン層
- 16 コレクタ領域
- 17 酸化シリコン層
- 18 エミッタ・コンタクト層
- 19 BSG層
- 20 a エミッタ電極
- 20 b ベース電極

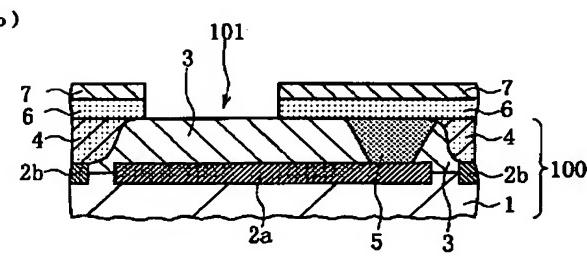
- 20 c コレクタ電極
- 36 酸化シリコン層
- 37 p<sup>+</sup>型多結晶シリコン層
- 38 窒化シリコン層
- 39 真性ベース領域
- 39 a 第1真性ベース層
- 39 b 第2真性ベース層
- 40 p<sup>+</sup>型多結晶GeSi層
- 41 エミッタ領域
- 43 BSG層
- 44 p<sup>+</sup>型単結晶シリコン層
- 45 p<sup>+</sup>型多結晶シリコン層
- 47 酸化シリコン層
- 48 エミッタ・コンタクト層
- 50 p<sup>+</sup>型多結晶GeSi層
- 55 p<sup>+</sup>型多結晶シリコン層
- 58 窒化シリコン層
- 100 シリコン基体
- 101 開口
- 102 ベース・コンタクト
- 103、104、105、106 開口
- 131、133、134、135、136 開口

【図2】

(図2)

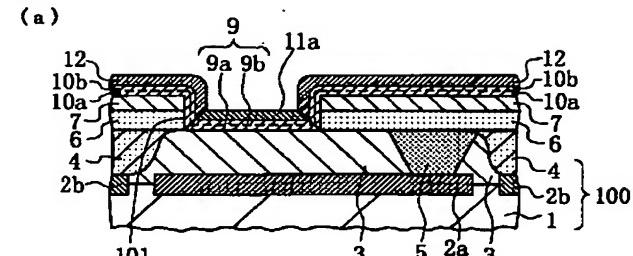


(b)

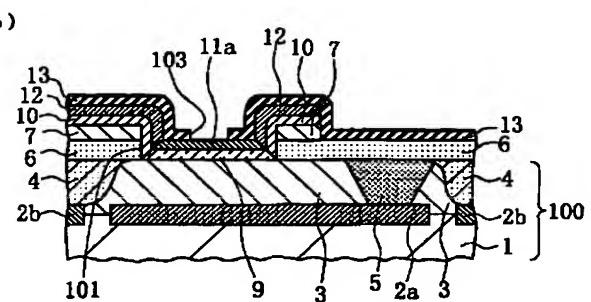


【図3】

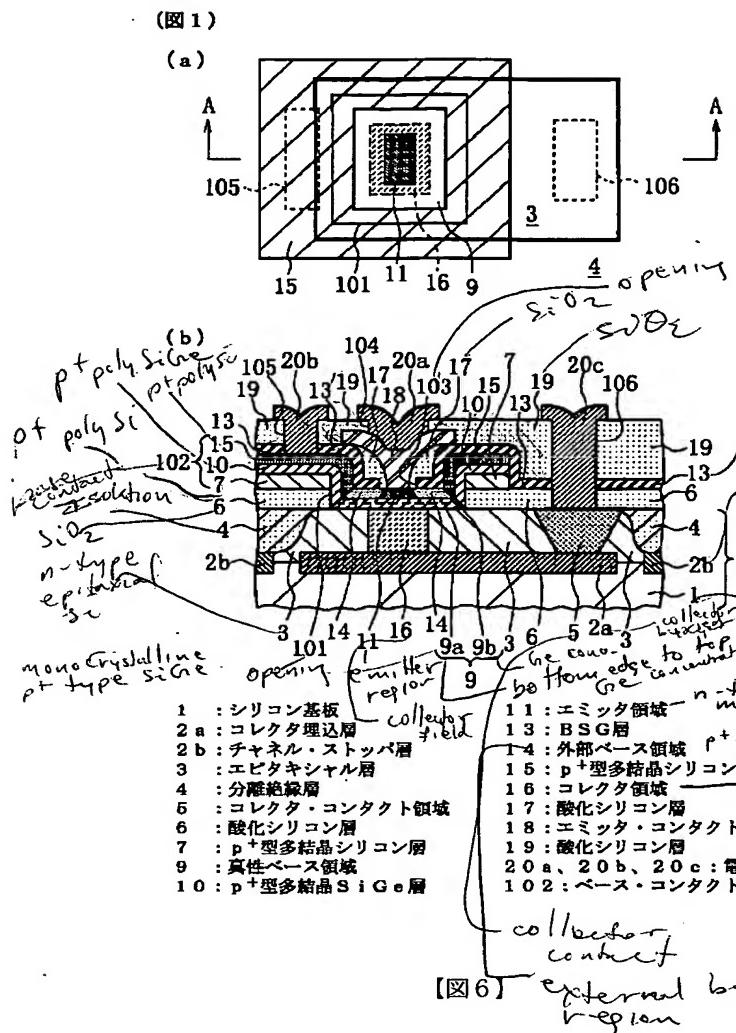
(図3)



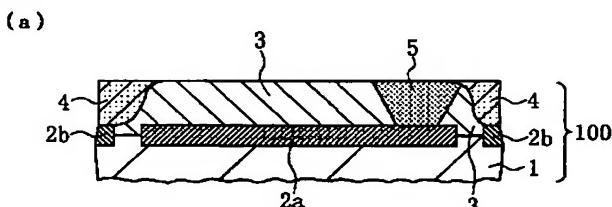
(b)



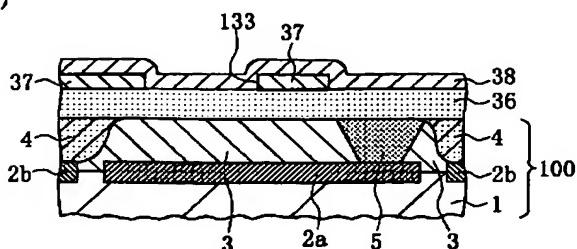
【図1】



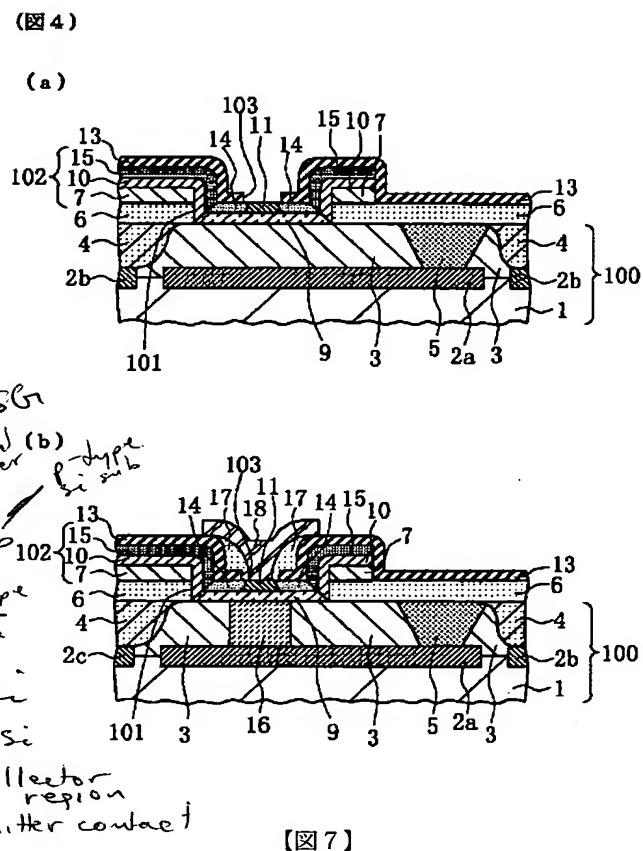
(圖6)



(b)

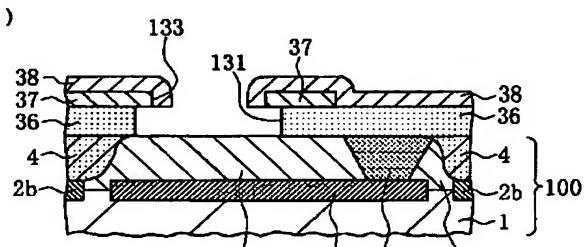


【図4】

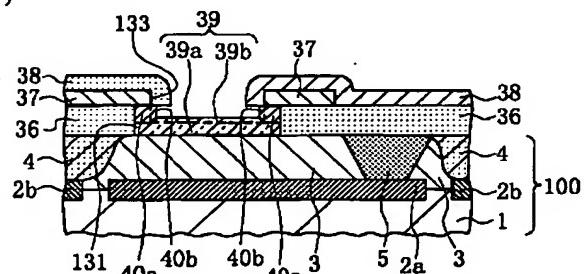


【図7】

(圖 7)

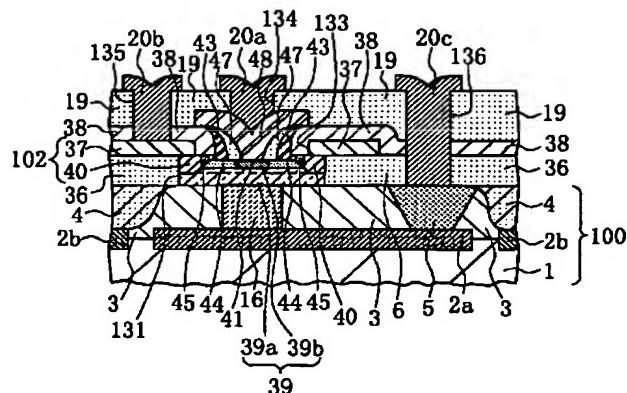


(b)



【図5】

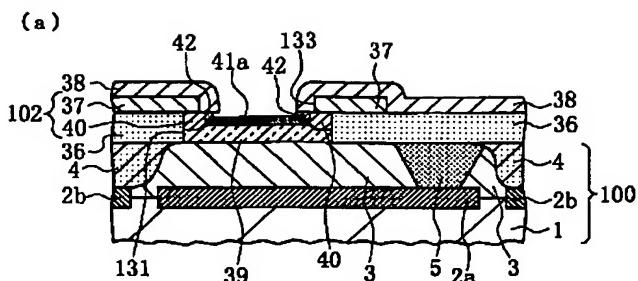
(図5)



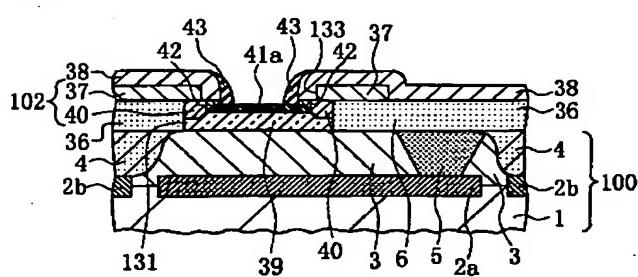
- 1 : シリコン基板  
2 a : コレクタ埋込層  
2 b : チャネル・ストッパ層  
3 : エピタキシャル層  
4 : 分離絶縁層  
5 : コレクタ・コンタクト領域  
19 : 酸化シリコン層  
20 a, 20 b, 20 c : 電極  
36 : 酸化シリコン層  
37 : p<sup>+</sup>型多結晶シリコン層  
38 : 売化シリコン層  
39 : 真性ベース領域  
40 : p<sup>+</sup>型多結晶S 1 Ge層  
41 : エミッタ領域  
43 : BSG層  
44 : 外部ベース領域  
45 : p<sup>+</sup>型多結晶シリコン層  
47 : 酸化シリコン層  
48 : エミッタ・コンタクト  
102 : ベース・コンタクト

【図8】

(図8)



(b)

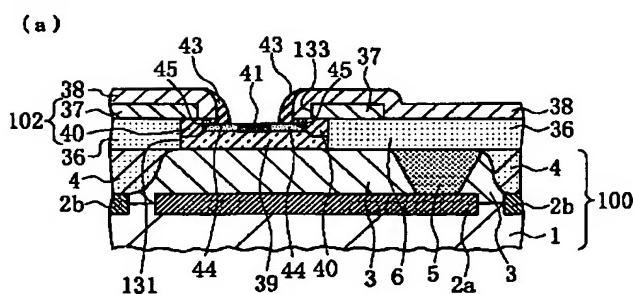


【図10】

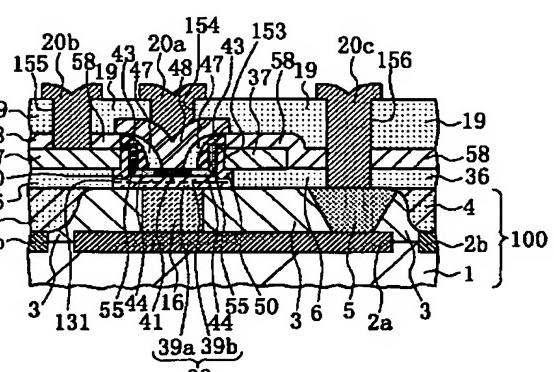
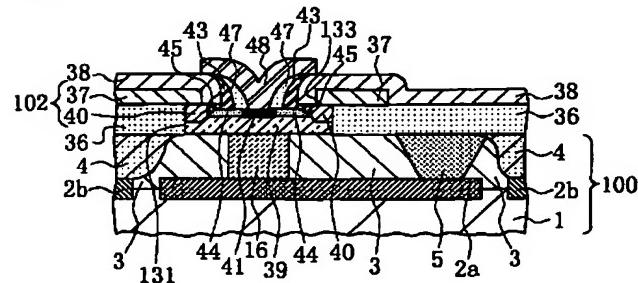
(図10)

【図9】

(図9)



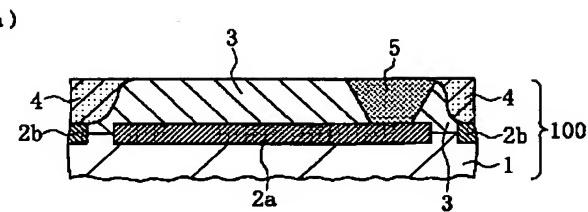
(b)



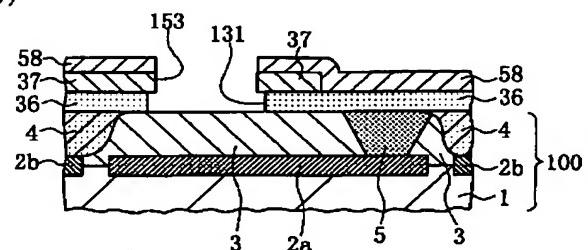
- 1 : シリコン基板  
2 a : コレクタ埋込層  
2 b : チャネル・ストッパ層  
3 : エピタキシャル層  
4 : 分離絶縁層  
5 : コレクタ・コンタクト領域  
19 : 酸化シリコン層  
20 a, 20 b, 20 c : 電極  
36 : 酸化シリコン層  
37 : p<sup>+</sup>型多結晶シリコン層  
39 : 真性ベース領域  
41 : エミッタ領域  
43 : BSG層  
44 : p<sup>+</sup>型単結晶シリコン層  
47 : 酸化シリコン層  
48 : エミッタ・コンタクト  
50 : p<sup>+</sup>型多結晶Ge S 1 層  
55 : p<sup>+</sup>型多結晶シリコン層  
58 : 売化シリコン層  
102 : ベース・コンタクト

【図11】

(図11)

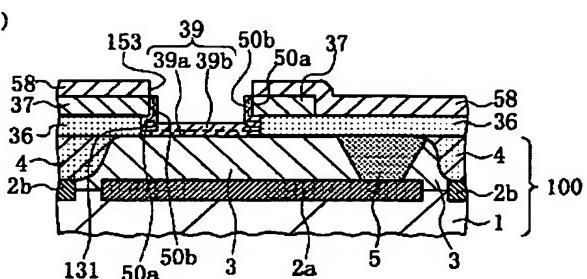


(b)

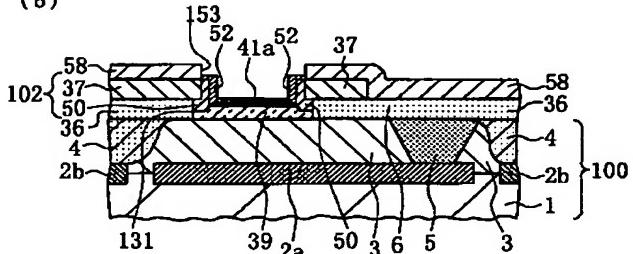


【図12】

(図12)

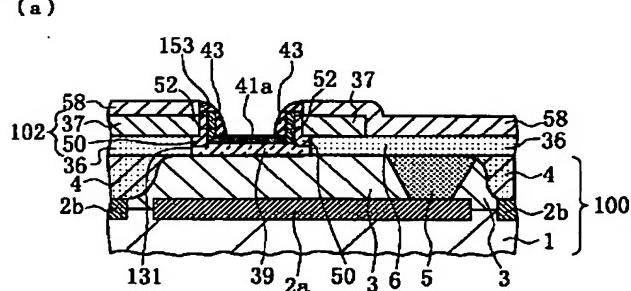


(b)

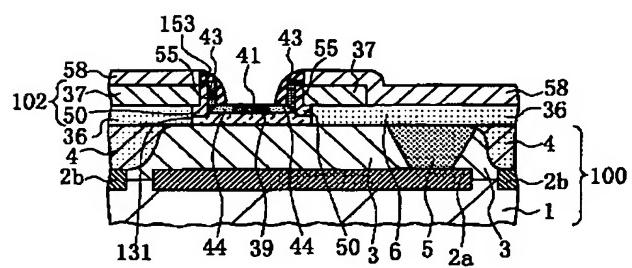


【図13】

(図13)

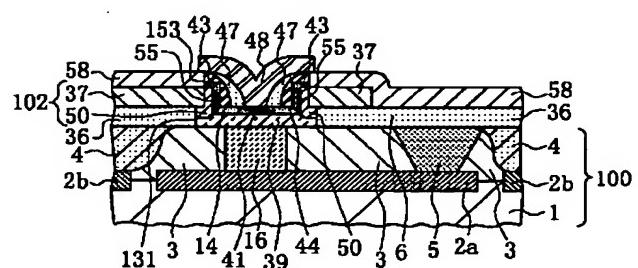


(b)



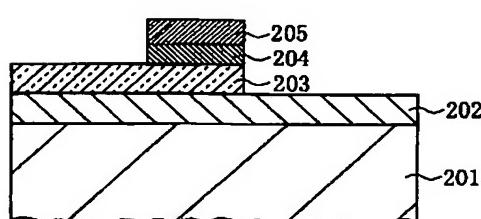
【図14】

(図14)



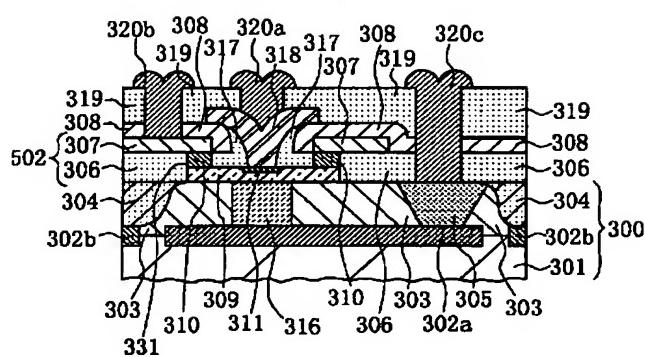
【図15】

(図15)



【図16】

(図16)



【図17】

(図17)

